

UNIVERSITÀ DEGLI STUDI DI PAVIA

FACOLTÀ DI INGEGNERIA

DIPARTIMENTO DI ELETTRONICA

RICEVITORE GSM IN TECNOLOGIA
CMOS: CONFRONTO TRA ARCHITETTURE
INTEGRATE E PROGETTAZIONE DI UN
FRONT-END A CONVERSIONE DIRETTA

Relatore:

Chiar.mo Prof. Francesco Svelto

Correlatore:

Ing. Massimo Brandolini

Tesi di Laurea

di Maria Maina

Anno Accademico 2003/2004

A mia nonna Piera

“...se un uomo parte con delle certezze, finirà con dei dubbi, ma se si accontenta di iniziare con qualche dubbio, arriverà alla fine a qualche certezza...”

Francis Bacon

Ringraziamenti

Grazie al Prof. Francesco Svelto per la sua disponibilità e per avermi offerto la possibilità di svolgere questo lavoro di tesi nel Microlab, ambiente che mi ha fatto molto maturare, e non soltanto dal punto di vista didattico.

Grazie a Massimo, il mio super-correlatore, di cui stimo competenza e professionalità, che mi ha saputo dare preziosi consigli sia in veste di ingegnere che non.

Grazie ai ragazzi del Microlab, in particolare ad Antonio, Paola, Matteo e Davide per l'affetto dimostrato nei miei confronti, e ai miei "collegli" laureandi Raffaele ed Emanuele.

Grazie a Stella, compagna di viaggio di questi ultimi mesi e ispiratrice di L^AT_EX grazie a Beppe, mio grande maestro di L^AT_EX.

Grazie a tutti i miei compagni di corso con cui ho condiviso questi anni, i cui sorrisi, parole ed interessamenti hanno reso più bello ogni giorno trascorso in Nave.

Grazie ai miei amici Michela, Chiara, Bove e Socrate, per le piccole gioie e i piccoli momenti di sconforto che ogni giorno abbiamo affrontato insieme, e che hanno reso speciali questi cinque anni.

Grazie alla mia mamma e al mio papà, per la pazienza e l'amore con cui mi sono stati sempre vicini, e per l'invidiabile educazione alla vita che mi hanno saputo trasmettere.

Grazie alla mia sorellina Valeria, preziosa amica, per la pazienza con cui mi ha sopportato in questi ultimi tempi, a cui auguro con tutto il cuore di provare un giorno la stessa gioia entusiasmante di questo momento.

Grazie non basta per te, Cesare, che hai sempre creduto in me stessa e nella mia capacità, e che hai saputo tenermi per mano in questa avventura con infinito amore e tanta dolcezza...anche il mio Grazie ha la "G" maiuscola.

Grazie, infine, al Grande Capo, a cui mi sono sempre rivolta nei momenti di immensa gioia e grande sconforto, e che, regista dietro le quinte, osserva divertito il palcoscenico della mia vita...

Maria

Indice

Introduzione	11
1 Il sistema GSM	15
1.1 Breve storia del GSM	15
1.2 Lo standard ETSI	16
1.2.1 Bande di frequenza	17
1.3 Caratteristiche fondamentali del GSM	19
1.4 Il GSM oggi	20
1.5 Conclusioni	22
2 Specifiche e architetture di ricezione per ricevitori GSM	23
2.1 E-GSM	24
2.2 Test previsti dallo standard e derivazione dei parametri del ricevitore	25
2.2.1 Test di sensitività	26
2.2.2 Test di intermodulazione	28
2.2.3 Test di soppressione di un disturbo AM	30
2.2.4 Test di blocking	31
2.2.5 Test di canale adiacente ed alternato	34
2.2.6 Test di massimo segnale	36
2.2.7 Riassunto delle specifiche ricavate dallo standard	36
2.3 Architetture di ricezione analizzate	38
2.3.1 Conversione diretta	39
2.3.2 Low IF	41
2.3.3 Low IF con filtro complesso	42
2.4 Stato dell'arte	43
2.4.1 Ricevitori BiCMOS a conversione diretta	43
2.4.2 Ricevitori CMOS con architettura Low-IF	48
2.4.3 Ricevitori CMOS a conversione diretta	48

2.5	Conclusioni	49
3	Analisi di architetture di ricezione mediante la teoria dei segnali complessi	51
3.1	Segnali complessi e loro proprietà	52
3.2	Operazioni sui segnali complessi	52
3.2.1	Moltiplicazione per un numero complesso	53
3.2.2	Moltiplicazione per un segnale complesso	54
3.2.3	Moltiplicazione non ideale per un segnale complesso	56
3.2.4	Convoluzione tra segnali complessi	59
3.3	Analisi delle architetture di ricezione	65
3.3.1	Low IF	66
3.3.2	Low IF con filtro complesso	69
3.3.3	Conversione diretta	72
3.4	Conclusioni	73
4	Dimensionamento delle architetture di ricezione	77
4.1	Modellizzazione del sistema di ricezione	78
4.1.1	Breve descrizione del programma di simulazione	78
4.1.2	Analisi dei blocchi costituenti la catena di ricezione	79
4.2	Criteri di dimensionamento di un ricevitore	84
4.2.1	Filtraggio della catena e spettro delle interferenti in banda base	85
4.2.2	Dimensionamento del convertitore	85
4.2.3	Dimensionamento dei singoli blocchi	87
4.2.4	Dimensionamento nelle condizioni previste dai test di massimo segnale	88
4.3	Dimensionamento dell'architettura Low-IF	90
4.3.1	Filtraggio di banda base e dimensionamento del convertitore	90
4.3.2	Dimensionamento dei singoli blocchi	92
4.3.3	Dimensionamento nelle condizioni previste dal test di massimo segnale e di canale adiacente ed alternato	97
4.3.4	Considerazioni sul dimensionamento	98
4.4	Dimensionamento dell'architettura Low-IF con filtro complesso	100
4.4.1	Filtraggio di banda base e dimensionamento del convertitore	101
4.4.2	Dimensionamento dei singoli blocchi	103

4.4.3	Dimensionamento nelle condizioni previste dal test di massimo segnale e di canale adiacente ed alternato	107
4.4.4	Considerazioni sul dimensionamento	108
4.5	Dimensionamento dell'architettura a conversione diretta	111
4.5.1	Filtraggio di banda base e dimensionamento del convertitore	111
4.5.2	Dimensionamento dei singoli blocchi	114
4.5.3	Dimensionamento con un filtro del terzo ordine	118
4.5.4	Considerazioni sul dimensionamento	119
4.6	Analisi comparativa delle architetture	120
4.7	Conclusioni	122
5	Progetto della sezione RF per ricevitore GSM a conversione diretta	123
5.1	Amplificatore a basso rumore	124
5.1.1	Adattamento d'impedenza	124
5.1.2	Guadagno	125
5.1.3	Rumore in un LNA degenerato induttivamente	127
5.1.4	Ottimizzazione della cifra di rumore	128
5.1.5	Caratterizzazione della linearità di un LNA	130
5.1.6	Configurazione differenziale	131
5.2	Mixer	132
5.2.1	Cella di Gilbert	132
5.2.2	Sorgenti di rumore in una cella di Gilbert	134
5.2.3	Intermodulazione di terzo ordine del mixer	140
5.2.4	Intermodulazione di secondo ordine del mixer	147
5.3	Progetto di un front-end di ricezione a conversione diretta	153
5.3.1	Primo progetto del front-end di ricezione	153
5.3.2	Secondo progetto del front-end di ricezione	157
5.3.3	Confronto tra i front-end proposti	165
5.4	Conclusioni	166
	Conclusioni	169
	Elenco delle figure	171
	Bibliografia	175

Introduzione

Presente nello scenario delle telecomunicazioni da più di dieci anni, il sistema GSM (*“Global System of Mobile communications”*) non è ancora tramontato: nonostante l'introduzione sul mercato del nuovo sistema di terza generazione, l'UMTS (*“Universal Mobile Telecommunications System”*), che, secondo alcune ricerche non riuscirà a decollare e ad imporsi definitivamente prima del 2008, il GSM ha generato nel 2003 un giro di affari di 277 miliardi di dollari, e le previsioni per il 2005 sfiorano i 500 miliardi di dollari [1]. In attesa di vedere il successo definitivo dei sistemi di terza generazione che, però, secondo alcuni esperti continueranno ad attirare l'attenzione dei *media* più che quella dei consumatori (meno dello 0,5% nel 2003), il “vecchio” GSM è stato migliorato, con l'introduzione del GPRS (*“General Packet Radio Service”*), nuovo servizio che ha consentito di aumentare la velocità nella trasmissione dei dati, rendendone possibile la trasmissione a *pacchetto* sulla rete GSM e di un'interfaccia ariA, l'EDGE (*“Enhanced Data rate for GSM Evolution”*), nuova tecnologia di accesso radio che consente di ottenere un elevato bit-rate (fino a 384 kBit/s). Essa risulta particolarmente attraente per quei gestori che non dispongono di una licenza UMTS ma che comunque vogliono offrire servizi di quest'ultima generazione, quali voce, fax, teleconferenza, servizi *broadcast*, *teleshopping* e posta elettronica.

Il grafico in cui GSM, GPRS, EDGE e UMTS si susseguono su un'unica linea con un asse temporale e uno di prestazioni non è quindi più da considerare valido.

Nell'ambito di un mercato ormai consolidato, l'obiettivo di ottenere ulteriori margini di profitto è perseguito mediante l'abbattimento dei costi di realizzazione del terminale GSM. A questo scopo, aziende affermate e *start-up* stanno lavorando alla realizzazione di ricetrasmittitori totalmente integrati, realizzati in tecnologia *CMOS*, la più adatta a consentire costi contenuti.

Questa tesi si propone di dimostrare la fattibilità di realizzazione di un ricevitore GSM implementato in tecnologia *CMOS* in conversione diretta. Come mostrato in questo lavoro, tale architettura consente un sostanziale abbattimento dei

costi rispetto alla classica supereterodina, nonché una netta semplificazione della sezione di banda-base rispetto ad architetture completamente integrate (quali la Low-IF), con conseguente riduzione di area e di potenza. L'uso della conversione diretta per il GSM risulta interessante anche nell'ottica di terminali riconfigurabili multistandard, in quanto i principali standard di comunicazione *wireless*, come l'UMTS e le Wireless-LAN, trovano la loro naturale implementazione in tale architettura. Realizzare un ricevitore GSM in conversione diretta presenta, però, notevoli difficoltà, in quanto essa soffre di problemi quali DC-offset, rumore $1/f$ e distorsione di secondo ordine, che si traducono in richieste particolarmente critiche per il mixer. Tali problematiche sono state attualmente superate nei ricevitori per la terza generazione: nell'ambito di un analogo lavoro svolto con l'obiettivo di realizzare un ricevitore totalmente integrato per l'UMTS, è stato caratterizzato un prototipo di mixer [2] che presenta elevata linearità ($IIP2 = +78$ dBm, $IIP3 = 10$ dBm) e basso rumore (4 nV/ $\sqrt{\text{Hz}}$ di densità di potenza di rumore in ingresso). In questo lavoro di tesi tali soluzioni circuitali sono riproposte e applicate al GSM, consentendo di estendere l'uso della conversione diretta come architettura di ricezione.

Per valutare le prestazioni di questa architettura, anche in confronto ad altre architetture completamente integrate, quali la Low-IF e la Low-IF con filtro complesso, è stato necessario un accurato studio di sistema. Per ogni architettura analizzata, Low-IF, Low-IF con filtro complesso e conversione diretta, è proposto un dimensionamento che, soddisfacendo le richieste dello standard, ottimizza le prestazioni del ricevitore in termini di rumore e linearità, minimizzando la complessità del sistema. Da tale analisi è emerso che la migliore scelta architeturale è proprio la conversione diretta. Pertanto, sulla base di tale analisi di sistema, che ha tenuto conto fin dall'inizio dei problemi dell'implementazione circuitale, è stata affrontata la progettazione della sezione più critica, il *front-end* di ricezione, adottando soluzioni circuitali nate in ambito 3G.

Nel *primo capitolo* è presentata l'evoluzione del GSM, a partire dalla sua nascita fino ad arrivare alla attuale "Fase 2 +". È poi illustrato lo standard ETSI ("European Telecommunication Standard Institute") e le bande di frequenza utilizzate. Dopo la descrizione delle caratteristiche fondamentali del sistema (tipo di accesso, modulazione utilizzata, ecc), è mostrata la situazione attuale del GSM.

Nel *secondo capitolo* sono descritti i vari test dedotti dallo standard, e dai

quali si ricavano le specifiche che un ricevitore GSM deve soddisfare e che costituiscono la base per il suo dimensionamento. Sono, inoltre, mostrate le caratteristiche peculiari delle architetture di ricezione analizzate ed è poi descritto lo stato dell'arte dei ricevitori GSM per mostrare come, in letteratura, sono stati risolti i problemi tipici delle topologie di ricezione o delle tecnologie utilizzate.

Il *terzo capitolo* è dedicato ad un'analisi semplice e rigorosa, basata sulla rappresentazione complessa dei segnali, dello schema di ricezione in quadratura nelle architetture prese in considerazione. Nella prima parte è illustrata la teoria dei segnali complessi, le principali operazioni che si possono effettuare su di essi e che consentono la descrizione di alcuni blocchi circuitali quali l'amplificatore complesso, il mixer e il filtro complesso. Nella seconda parte si analizzano le architetture di ricezione con tale teoria, che consente di ricavare facilmente la specifica di ricezione d'immagine. Essa permette, inoltre, un primo confronto critico, premessa per il successivo dimensionamento.

Nel *quarto capitolo* è svolto il dimensionamento delle tre architetture, Low-IF, Low-IF con filtro complesso e conversione diretta. Per ciascuna di esse è strutturato lo schema del ricevitore completo, studiato con un opportuno programma di simulazione che consente di valutarne le prestazioni complessive. Dal confronto delle topologie di ricezione, emerge che la struttura del ricevitore a conversione diretta è la più vantaggiosa nell'obiettivo di una completa integrazione del ricevitore in tecnologia *CMOS*, in quanto consente una sostanziale semplificazione della catena (in particolare della sezione di banda base) e, di conseguenza, un notevole contenimento del consumo di potenza. Questo è possibile a patto di realizzare, con un'accurata progettazione, i blocchi circuitali che hanno le specifiche più critiche, come il mixer, che, nella conversione diretta, determina essenzialmente, insieme all'LNA, il comportamento del ricevitore in termini di rumore e linearità.

Nel *quinto capitolo*, dopo una descrizione generale del funzionamento dell'LNA a degenerazione induttiva e del mixer realizzato con la cella di Gilbert, sono proposte due possibili implementazioni del *front-end* di ricezione dimensionate in base alle specifiche ricavate nel capitolo precedente per la conversione diretta. Esse sono, infine, confrontate criticamente in termini di prestazioni, occupazione di area e consumo di potenza.

Capitolo 1

Il sistema GSM

In questo primo capitolo si descrive l'origine del sistema GSM, la standardizzazione ETSI e le caratteristiche generali dello standard in termini di allocazione delle frequenze per le versioni esistenti del sistema. Vengono poi definite le peculiarità del GSM come sistema di radiocomunicazione (tipo di accesso, modulazione usata, ecc.). Infine è illustrata la situazione attuale dello standard e la ragione della sua coesistenza con i sistemi di *terza generazione*.

1.1 Breve storia del GSM

Nell'ormai lontano 1982 un gruppo di lavoro tecnico costituito da 18 nazioni europee definiva le caratteristiche e le specifiche di un sistema di comunicazione radiomobile paneuropea denominato GSM (*"Global System of Mobile communications"*); nel 1987 veniva firmato il protocollo d'intesa che stabiliva gli standard tecnologici e le regole giuridico-amministrative cui dovevano attenersi i Paesi nei quali veniva attivato il GSM.

La standardizzazione del GSM da parte di SMG (*"Special Mobile Group"*) ETSI (*"European Telecommunication Standard Institute"*) è avvenuta in tre fasi, volte a migliorare il sistema non solo grazie ai continui progressi tecnologici, ma anche tenendo in considerazione le richieste del mercato, volte sempre più verso i servizi dedicati ai dati piuttosto che alla fonia. Esse sono:

- *"Fase 1"*: la standardizzazione per il GSM 900 MHz è terminata nel gennaio 1991; essa prevedeva i seguenti servizi: telefonia, chiamate d'urgenza, fax e SMS (*"Short Messages Service"*). In questa fase è stato introdotto il DCS

1800 MHz (*“Digital Cellular System”*), versione del GSM operante a 1800 MHz.

- *“Fase 2”*: i lavori di standardizzazione finale, terminati nel 1994-1995, hanno portato i seguenti miglioramenti: piena integrazione tra DCS 1800 e GSM 900, evoluzione dei servizi di trasporto (trasmissione dati a commutazione di circuito asincrona e sincrona, dati a commutazione di pacchetto X.25), nuovi servizi supplementari (identificazione chiamante, comunicazione multipla, gruppi chiusi ed inoltro chiamata) e codificatori vocali a velocità dimezzata.
- *“Fase 2 +”*: non è limitata nel tempo e la standardizzazione è aggiornata annualmente a partire dalla *“release”* GSM 1996. I lavori di standardizzazione hanno portato alla definizione di numerosi nuovi servizi e tecniche [3]; i più importanti sono elencati qui di seguito:
 - nuovi servizi e prestazioni di rete: dati ad alta velocità con l’HSCSD (*“High Speed Circuit Switched Data”*) ed il GPRS (*“General Packet Radio Service”*), possibilità di mantenere il proprio numero telefonico anche cambiando gestore, servizi di localizzazione precisa dell’utente, possibilità di utilizzare il telefono cellulare come terminale *cordless* quando ci si trova nella propria abitazione, trasformazione della SIM (*“Subscriber Identity Module”*) in un vero e proprio microcalcolatore
 - nuove tecniche: operatività multibanda a 450, 900, 1800 e 1900 MHz, possibilità di sfruttare i MSS (*“Mobile Satellite Services”*), nuovi codificatori vocali, introduzione dell’EDGE (*“Enhanced Data rate for GSM Evolution”*).

Recentemente la standardizzazione è passata in ambito 3GPP (*“3rd Generation Partnership Project”*), che è un accordo di collaborazione stabilito nel dicembre 1998. Al momento i membri del 3GPP sono i seguenti: ETSI (Europa), ARIB (Giappone), Comitato T1 ANSI (USA), CWTS (Cina), TTA (Corea) e TTC (Giappone).

La tabella 1.1 mostra la situazione in Europa all’inizio della diffusione del GSM.

1.2 Lo standard ETSI

Lo standard ETSI definisce la qualità di trasmissione del sistema GSM e provvede alla compatibilità tra i canali radio usati nel sistema e i canali di altri sistemi

Paese	Sistema	Frequenze [MHz]
Inghilterra	TACS	900
Scandinavia	NMT	450-900
Francia	Radiocom 2000-NMT	450-900
Italia	RTMS-TACS	450-900
Germania	C-450	450
Svizzera	NMT	900
Olanda	NMT	450-900
Austria	NMT -TACS	450-900
Spagna	NMT -TACS	450-900

Tabella 1.1: Maggiori sistemi cellulari in Europa nel 1991

esistenti operanti nella stessa banda o in bande adiacenti [4]. Dalla sua analisi si ricavano le caratteristiche che deve avere un ricetrasmittitore funzionante per il sistema GSM.

1.2.1 Bande di frequenza

Lo standard definisce diverse bande di funzionamento, ad ognuna delle quali corrisponde una versione del GSM, che si configura, quindi, come una “famiglia”.

Le due bande contenute nella prima versione dello standard in Europa sono quelle del GSM 900 MHz e del DCS 1800 MHz; esse occupano i seguenti intervalli di frequenza:

- Banda GSM 900 MHz standard
 - 890-915 MHz trasmissione da Stazione Mobile, o MS - “*Mobile Station*” a Stazione Radio Base, o BTS - “*Base Transceiver Station*”
 - 935-960 MHz trasmissione da Stazione Radio Base a Stazione Mobile
- Banda DCS 1800 MHz
 - 1710-1785 MHz Stazione Mobile trasmette
 - 1805-1880 MHz Stazione Mobile riceve

Oltre alle due bande fondamentali sopra indicate, sono state definite anche le seguenti bande:

- Banda GSM 450 MHz
 - 450.4-457.6 MHz Stazione Mobile trasmette
 - 460.4-467.6 MHz Stazione Mobile riceve
- Banda GSM 480 MHz
 - 478.8-486 MHz Stazione Mobile trasmette
 - 488.8-496 MHz Stazione Mobile riceve
- Banda GSM 750 MHz
 - 747-762 MHz Stazione Mobile riceve
 - 777-792 MHz Stazione Mobile trasmette
- Banda GSM 850 MHz
 - 824-849 MHz Stazione Mobile trasmette
 - 869-894 MHz Stazione Mobile riceve
- Banda GSM 900 MHz ferroviaria, R-GSM
 - 876-915 MHz Stazione Mobile trasmette
 - 921-960 MHz Stazione Mobile riceve
- Banda GSM 900 MHz estesa, E-GSM
 - 880-915 MHz Stazione Mobile trasmette
 - 925-960 MHz Stazione Mobile riceve
- Banda PCS (*“Personal Communication System”*) 1900 MHz
 - 1850-1910 MHz Stazione Mobile trasmette
 - 1930-1990 MHz Stazione Mobile riceve

Gli operatori possono inoltre implementare reti che operano su più bande di frequenza, supportando così MS multi-banda.

Le varie bande sono distribuite geograficamente nel mondo. Nella tabella 1.2 sono mostrate le principali frequenze utilizzate nei diversi continenti.

Continenti	Frequenze [MHz]
Europa	900/1800
Nord America	1900
America centrale	900
Sud America	1900
Africa	900/1800
Asia	900/1800
Australia	900

Tabella 1.2: Distribuzione mondiale delle frequenze utilizzate per lo standard GSM

1.3 Caratteristiche fondamentali del GSM

Il GSM è un sistema di radiocomunicazione ad accesso multiplo a divisione di tempo e di frequenza, cioè TDMA e FDMA; i segnali relativi a due utenti sono quindi distinti, ovvero ortogonali, nel tempo ed in frequenza: ad ognuno di essi sarà allora assegnata una portante (il cui numero complessivo varia a seconda della versione considerata) ed un intervallo temporale della durata di $0.577 \mu\text{s}$.

Essendo disponibili 8 intervalli temporali per portante, il numero di canali è pari a:

$$num_{canali} = num_{portanti} \cdot 8 \quad (1.1)$$

Il numero di utenti servibili dal GSM non è, però, pari al numero di canali (si arriverebbe al massimo a qualche migliaio) ma superiore: essendo un sistema *cellulare*, esso prevede infatti la suddivisione del territorio in *celle*, di raggio variabile da 1 a 35 km, che consentono il riutilizzo delle frequenze.

Il GSM è, inoltre, un sistema TDD-FDD (*“Time Division Duplex-Frequency Division Duplex”*): la trasmissione dalla Stazione Mobile alla Stazione Radio Base e quella dalla Stazione Radio Base alla Stazione Mobile sono, infatti, distinte nel tempo e in frequenza, usando intervalli temporali e bande diverse. Quindi un utente che trasmette nell’intervallo temporale i -simo ad una certa frequenza f riceverà nell’intervallo temporale $(i+4)$ -simo alla frequenza $f+\Delta f$, dove l’intervallo di frequenza Δf è detto *passo di duplice* e varia a seconda della versione considerata.

Un’altra caratteristica generale del sistema è l’utilizzo del *“Frequency Hopping”*, che consiste nel trasmettere messaggi successivi di una stessa comunica-

zione su frequenze diverse; esso rappresenta un modo efficace per limitare gli effetti dannosi del “*fading*”, distribuendo gli errori in modo quasi-gaussiano.

Infine, il passo di canalizzazione è di 200 kHz e la modulazione usata è la GMSK (“*Gaussian Minimum Shift Keying*”), che applica al segnale digitale un filtro gaussiano per ottenere elevata compattezza spettrale. Essa è una modulazione ad involuppo costante derivata dalla modulazione di frequenza e trasporta 1 bit per simbolo.

Recentemente è stata introdotta un’altra interfaccia etere, implementata dall’EDGE, nuova tecnologia di accesso radio della “*fase 2 +*”, che utilizza in modo più efficiente la banda dei canali GSM attraverso l’impiego di una modulazione multistato, denominata “*3 π /8 Shifted 8PSK*”: essa è una modulazione ad involuppo non costante a 8 stati derivata dalla 8PSK, e porta 3 bit per simbolo. Rispetto alla modulazione GMSK è così possibile triplicare il bit-rate, che nella versione standard vale 270 kbit/s, a parità di banda occupata.

1.4 Il GSM oggi

Nonostante sul mercato siano ormai presenti da più di un anno i telefoni cellulari della cosiddetta *terza generazione*, il GSM non è destinato a scomparire dalla scena.

Esso è stato migliorato con l’introduzione, nella “*fase 2 +*”, del GPRS (“*General Packet Radio Service*”), nuovo servizio che ha consentito non solo di aumentare la velocità nella trasmissione dei dati, ma ha rappresentato una rivoluzione nel mondo della comunicazione mobile in quanto ha reso possibile la trasmissione di dati a *pacchetto* sulla rete GSM, tramite l’introduzione di nodi di rete IP (“*Internet Protocol*”) che sono derivati dai *router* IP aggiungendo le funzionalità ed i protocolli per la gestione della mobilità. E’ stata inoltre creata una nuova interfaccia aria, l’EDGE (“*Enhanced Data rate for GSM Evolution*”), nuova tecnologia di accesso radio che consente, attraverso l’impiego di una modulazione multistato, di ottenere un elevato bit-rate (fino a 384 kBit/s)[3]. Essa va, però, inserita in una struttura di rete che ne sfrutti appieno le potenzialità, quale è il GPRS. Implementando l’EDGE nel GPRS si realizza un sistema denominato EGPRS (“*Enhanced GPRS*”), tramite cui è possibile usufruire di servizi assimilabili a quelli di *terza generazione*, impiegando però l’attuale spettro radio GSM. La tecnologia EDGE può quindi risultare interessante a quei gestori che non dispongono di una licenza UMTS (“*Universal Mobile Telecommunications System*”), lo standard 3G europeo, ma che comunque vogliono offrire servizi di quest’ultima generazione. Tali servizi

sono classificati dall'ITU (*“International Telecommunication Union”*), l'organismo che definisce gli aspetti normativi di telecomunicazioni a livello internazionale, in servizi di trasporto, teleservizi e servizi supplementari, secondo il seguente schema:

- servizi di trasporto:
 - a commutazione di circuito (voce, trasporto trasparente di dati utente a $n \cdot 64$ kbit/s, audio fino a 7 kHz)
 - a commutazione di pacchetto
 - a larga banda
 - servizi interattivi (interrogazione, messaggistica, conversazionali)
 - servizi distributivi
- teleservizi:
 - voce
 - fax
 - teleconferenza
 - servizi *broadcast*
 - *teleshopping*
 - posta elettronica
- servizi supplementari:
 - identificazione chiamante
 - comunicazione multipla
 - gruppi chiusi
 - inoltro chiamata

Per tutti i suddetti motivi, il sistema GSM non è destinato a scomparire in futuro: durante l'inaugurazione di una delle più importanti manifestazioni dedicate alle tecnologie di comunicazione senza fili, la *“3GSM World Congress”* di Cannes, sono stati diffusi alcuni dati importanti relativi alla situazione nel mondo al febbraio 2004 [1]:

- più di un miliardo di persone si servono della tecnologia GSM
- essa è diffusa in oltre 200 paesi

- il giro di affari generato nel 2003 è stato di 277 miliardi di dollari
- le previsioni per il 2005 sfiorano i 500 miliardi di dollari.

1.5 Conclusioni

In questo capitolo è stato descritto il sistema GSM, dalla sua nascita fino ad arrivare alla situazione attuale.

Sono stati enunciati gli scopi del documento di standardizzazione dell'ETSI e le specifiche in esso contenute, elencando tutte versioni esistenti del GSM.

Si è poi passati alla descrizione del sistema di radiocomunicazioni propriamente detto: tipo di accesso, passo di duplice, modulazione usata, interfaccia aria.

Si è infine descritta l'importanza attuale di questo sistema ormai nato da più di vent'anni, sottolineando che il GSM e l'UMTS non sono standard che si escludono a vicenda, ma che, al contrario, si completano.

Capitolo 2

Specifiche e architetture di ricezione per ricevitori GSM

Per effettuare il dimensionamento di un ricevitore funzionante per lo standard GSM, è necessario raggiungere alcune specifiche dedotte dallo standard [4]. Quest'ultimo prevede, infatti, diversi test che un ricevitore deve superare: essi hanno la stessa struttura per tutte le versioni esistenti del GSM, riportate nel paragrafo 1.2.1, ma sono caratterizzate da valori di potenze presenti all'ingresso del ricevitore che cambiano a seconda della versione considerata. Si è scelto, pertanto, di focalizzare l'attenzione su una sola di queste, in modo da fornire specifiche "numeriche" per il dimensionamento, anche se il procedimento per ottenerle è valido per tutte le versioni del GSM. La versione presa in considerazione, le cui caratteristiche peculiari sono illustrate nel primo paragrafo, è l'E-GSM (*Enhanced-GSM*), in quanto essa presenta delle specifiche un po' più stringenti da rispettare rispetto alle altre versioni.

Nel secondo paragrafo sono descritti i test previsti dallo standard dell'ETSI; per ogni test viene ricavata la relativa specifica che un ricevitore funzionante per lo standard E-GSM deve possedere all'antenna. Scelto un filtro RF commerciale, tutte le specifiche vengono poi riportate all'ingresso del corpo totalmente integrato del ricevitore, costituendo in questo modo la base per un suo corretto dimensionamento, indipendentemente dal tipo di architettura utilizzata per implementarlo.

Nel terzo paragrafo sono, quindi, descritte le topologie di ricezione analizzate: esse sono state scelte con l'obiettivo di realizzare un sistema avente dimensioni e costi ridotti. Pertanto, l'architettura supereterodina, nonostante consenta un

minor consumo di potenza, è stata abbandonata in favore della Low-IF e della conversione diretta che, essendo totalmente integrate, permettono di raggiungere l'obiettivo prefissato, anche se, non essendo presenti in esse filtri esterni per la reiezione dell'immagine o per la selezione del canale desiderato, i circuiti che le compongono devono essere in grado di elaborare il segnale correttamente anche in presenza di interferenti di elevata potenza, richiedendo, quindi, un maggior consumo di potenza.

Nell'ultimo paragrafo è, infine, descritto lo stato dell'arte dei ricevitori per il GSM, ed, in particolare, come si sono risolti i problemi peculiari di un ricetrasmittitore funzionante per questo standard, come i DC-offset, il rumore flicker e le non-linearità del secondo ordine.

2.1 E-GSM

L'E-GSM (*“Enhanced GSM”*) nasce come versione migliorata del GSM 900 MHz in quanto, rispetto ad esso, le sue bande di ricezione e di trasmissione sono aumentate di 10 MHz, aggiunti nell'estremità inferiore dell'intervallo di frequenze, come mostrato nella figura 2.1.

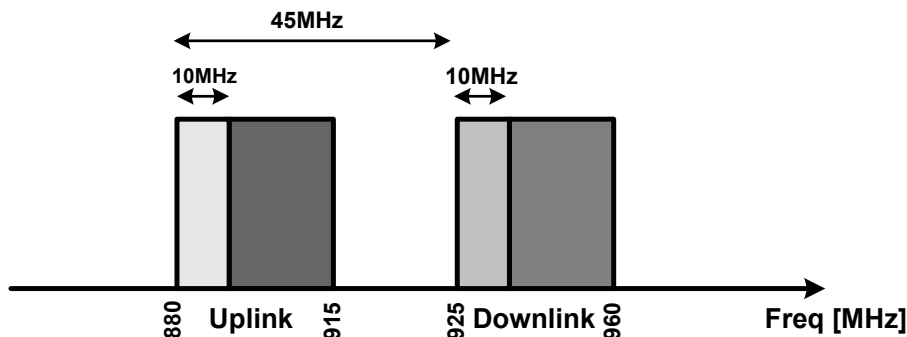


Figura 2.1: Occupazione in frequenza dell'E-GSM

Le caratteristiche peculiari di questa versione del GSM sono:

- 880-915 MHz uplink
- 925-960 MHz downlink
- 124 portanti radio per banda

- passo di duplice di 45 MHz

Quindi i 992 canali disponibili possono essere rappresentati in un grafico tempo-frequenza come mostrato in figura 2.2.

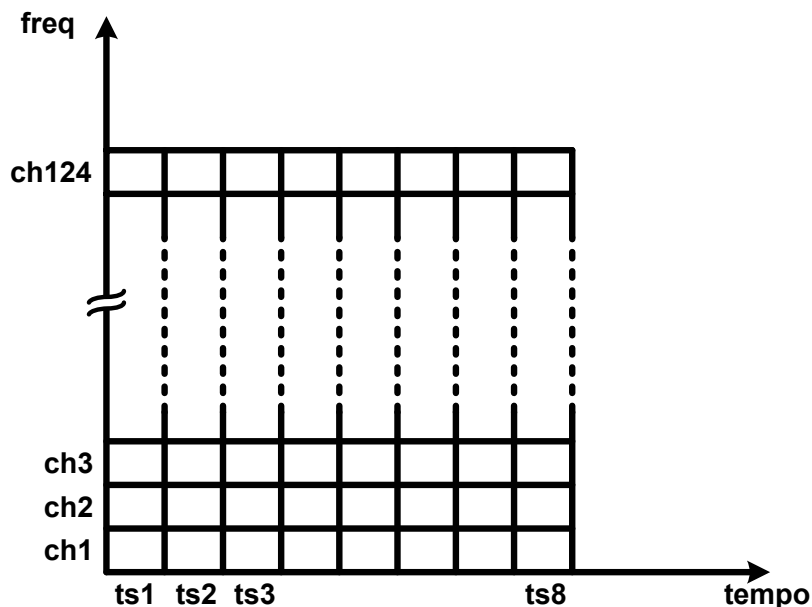


Figura 2.2: GSM: Sistema TDMA-FDMA

2.2 Test previsti dallo standard e derivazione dei parametri del ricevitore

Il documento che definisce lo standard GSM prevede, oltre alle proprietà generali del sistema descritte nel capitolo precedente, una serie di prestazioni che il ricetrasmittitore deve soddisfare. Sulla base di queste si possono individuare dei *test* che il ricevitore ed il trasmettitore devono superare, mantenendo determinate caratteristiche, indipendentemente dall'architettura scelta per implementarli.

In questo lavoro di tesi si è approfondita la sezione relativa al ricevitore. Nei *test* previsti per il ricevitore, che hanno la stessa struttura per tutte le bande di funzionamento del GSM elencate nel paragrafo 1.2.1, dal GSM 450 MHz al PCS 1900 MHz, sono definite tutte le caratteristiche dei segnali al suo ingresso, in particolare la loro potenza e la loro localizzazione in frequenza. Dato, però, che queste variano a seconda della versione del GSM considerata, si è focalizzata

l'attenzione su una sola di queste: la scelta è caduta, come spiegato, sull'E-GSM in quanto essa si configura come la versione dalle specifiche meno rilassate rispetto ad altre come, per esempio, quelle del DCS 1800 MHz.

Ogni *test* si considera superato se, nelle particolari condizioni che esso prevede, il ricevitore riesce a ricevere il segnale con un BER (*“Bit Error Rate”*) inferiore a 10^{-4} .

Dalla conoscenza dei test che il ricevitore deve superare, si possono poi ricavare i parametri principali necessari ad effettuarne il dimensionamento, cioè la *cifra di rumore* o *NF*, l'*IIP3*, l'*IIP2* ed il *rumore di fase*. Questi saranno tutti riferiti all'antenna, cioè prima dell'eventuale filtro ad onda acustica superficiale commerciale che, tipicamente, è il blocco iniziale di una catena di ricezione.

Nella tabella 2.1 sono elencati i tipi di test da cui si ricavano le specifiche sopra citate.

Tipo di test	Specifica ricavata
Sensitività	NF
Intermodulazione	IIP3
Soppressione di un disturbo AM	IIP2
Blocking-Canale Adiacente ed Alternato	Rumore di fase

Tabella 2.1: Test e relative specifiche ricavate

2.2.1 Test di sensitività

La sensitività è definita come il più piccolo segnale ricevuto all'ingresso del ricevitore tale che ci sia un sufficiente rapporto segnale-rumore (SNR, *“Signal to Noise Ratio”*) all'uscita del ricevitore stesso per una data applicazione [5].

Nel caso dell'E-GSM, l'ETSI specifica una sensitività di -102 dBm. Questo vuol quindi dire che, nelle condizioni di canale statico AWGN (*“Additive White Gaussian Noise”*), si deve ottenere un BER $< 10^{-4}$ con una potenza di segnale in ingresso $S_{in} = -102$ dBm.

Per il tipo di modulazione GMSK (*“Gaussian Minimum Shift Keying”*) usata nel GSM, per raggiungere tale BER è richiesto un SNR di circa 9 dB, assumendo di usare un demodulatore ottimo MLSE (*“Maximum Likelihood Sequence Estimation”*).

Se, invece, si utilizza un demodulatore sub-ottimo MSK (“*Minimum Shift Keying*”), il rapporto segnale-rumore richiesto diventa 10 dB [6]. La semplicità dell’MSK, che offre essenzialmente le stesse prestazioni dell’MLSE, soprattutto in condizioni più realistiche di un canale statico AWGN, è di grande interesse nelle implementazioni a bassa potenza del ricevitore.

Cifra di rumore

Il *fattore di rumore* F (“*Noise Figure*”) è definito dalla seguente equazione:

$$F = \frac{SNR_{in}}{SNR_{out}} \quad (2.1)$$

dove SNR_{in} e SNR_{out} si riferiscono, rispettivamente, all’ingresso ed all’uscita della rete considerata. La *cifra di rumore* è, invece, il valore in dB del fattore di rumore:

$$NF = 10 \text{ Log}_{10} F \quad (2.2)$$

Partendo dalla definizione e supponendo di utilizzare un demodulatore ottimo, per il quale $SNR_{out} = 9$ dB, si ha allora che:

$$NF = SNR_{in}|_{dB} - SNR_{out}|_{dB} = S_{in}|_{dBm} - N_s|_{dBm} - 9 \text{ dB} \quad (2.3)$$

in cui

- $S_{in}|_{dBm}$ è il valore in dBm della sensitività, quindi -102 dBm
- $N_s|_{dBm}$ è il valore del rumore termico della resistenza di sorgente R_s presente all’ingresso della rete. A causa dell’adattamento, esso vale:

$$N_s|_{watts} = \frac{(V_{noise}/2)^2}{R_s} = \frac{4KTR_sB}{4R_s} = KTB \quad (2.4)$$

Esprimendo N_s in dBm su una banda pari alla larghezza di canale del GSM (cioè $B = 200$ kHz) si ottiene -120.8 dBm.

Sostituendo quanto ricavato nell’equazione 2.3 si ricava la cifra di rumore all’antenna del ricevitore, pari, per l’E-GSM, a 9.8 dB.

Rumore totale riferito in antenna: N_{floor}

Dal valore della NF così ricavato, si può calcolare quanto vale l' N_{floor} , cioè il valore totale del rumore del ricevitore riferito in antenna.

Partendo dalla equazione 2.1 si ha che

$$F = \frac{N_{out}/G}{N_s} = \frac{N_{floor}}{N_s} \quad (2.5)$$

da cui si ricava che:

$$N_{floor}|_{dBm} = NF + N_s|_{dBm} = -111 \text{ dBm}. \quad (2.6)$$

All'ingresso del ricevitore la situazione è, quindi, quella della figura 2.3.

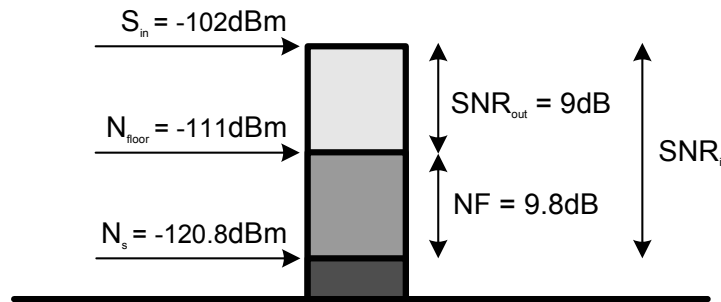


Figura 2.3: Sensibilità e rumore all'ingresso del ricevitore

2.2.2 Test di intermodulazione

Questo test verifica il corretto funzionamento, cioè $SNR = 9 \text{ dB}$, di un ricevitore per lo standard E-GSM, al cui ingresso siano contemporaneamente presenti:

- il segnale desiderato ad una frequenza f_0 e con un livello di potenza 3 dB superiore alla sensibilità, quindi -99 dBm
- un segnale sinusoidale alla frequenza f_1 e con una potenza di -49 dBm
- un segnale modulato GMSK alla frequenza f_2 e anch'esso con potenza pari a -49 dBm .

Le frequenze sono tali che:

$$f_0 = 2f_1 - f_2 \quad (2.7)$$

$$|f_2 - f_1| = 800 \text{ kHz} \quad (2.8)$$

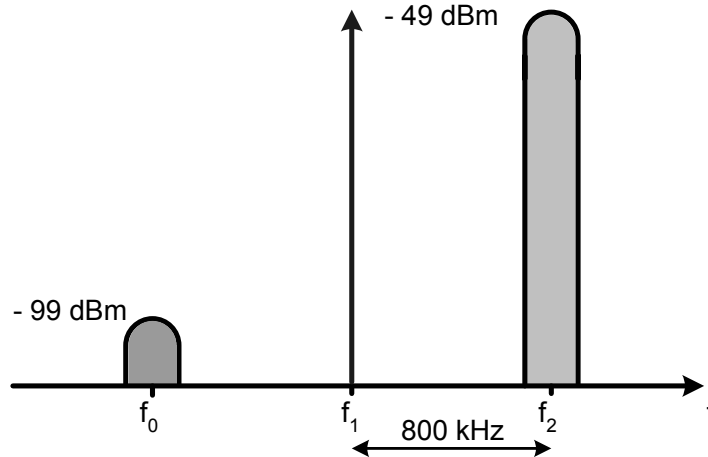


Figura 2.4: Test di intermodulazione

In questo modo, come mostrato in figura 2.4, il *prodotto di intermodulazione* ($IM3$) generato andrà a ricadere sulla frequenza centrale del segnale desiderato, aggiungendosi all' N_{floor} e degradando così il rapporto segnale-rumore.

IIP3

Dal test di intermodulazione previsto dallo standard ETSI si può ricavare la specifica di $IIP3$ (*Input Intercept 3rd order Point*), parametro che descrive la linearità del terzo ordine del ricevitore.

L' $IIP3$ si ricava applicando la formula 2.9 [7]

$$IIP3|_{dBm} = \frac{1}{2} \cdot (3P|_{dBm} - IM3|_{dBm}) \quad (2.9)$$

dove

- P è la potenza delle intermodulanti, pari in questo caso a -49 dBm
- $IM3$ è il prodotto di intermodulazione generato alla frequenza del segnale desiderato. Dato che in questo test il segnale desiderato ha potenza doppia rispetto alla sensibilità, per mantenere il rapporto segnale-rumore pari a 9 dB, il prodotto di intermodulazione potrà avere potenza al massimo uguale a quella dell' N_{floor} , come mostrato in figura 2.5

Applicando la 2.9 si ottiene un valore di $IIP3$ riferita in antenna pari a -18 dBm.

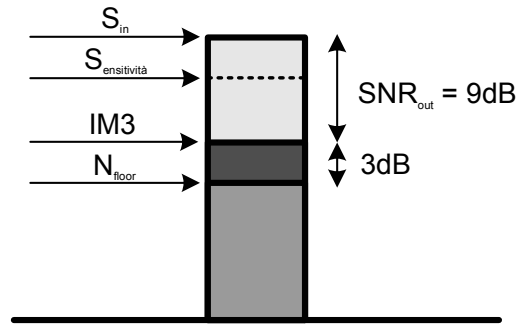


Figura 2.5: Segnale desiderato e rumore all'ingresso del ricevitore nel test di intermodulazione

2.2.3 Test di soppressione di un disturbo AM

Nonostante la modulazione GMSK sia ad inviluppo costante, lo standard elaborato dall'ETSI prevede un test chiamato “*test di soppressione di un disturbo AM*”.

Come mostrato in figura 2.6, esso indica che il ricevitore debba mantenere un $BER < 10^{-4}$ anche quando al suo ingresso siano simultaneamente presenti:

- il segnale desiderato, modulato GMSK, alla frequenza f_0 e con potenza doppia rispetto alla sensibilità, cioè -99 dBm
- un segnale alla frequenza f nella banda $|f - f_0| > 6$ MHz modulato GMSK avente una potenza, per l' E-GSM, di -31 dBm.

L'interferente, se modulata AM, in presenza di distorsione di secondo ordine del ricevitore, genera un disturbo a larga banda, pari al doppio della larghezza di canale, attorno alla continua. Tale disturbo, in modo analogo a quanto descritto nel paragrafo precedente, non causerà problemi finchè la potenza si manterrà minore o al massimo uguale a quella dell' N_{floor} .

IIP2

Il test di soppressione di un disturbo AM è stato introdotto per evitare la desensibilizzazione in presenza di un'interferente pulsata GMSK prodotta dal transitorio di accensione-spegnimento del segnale TDMA. Da questo test si può ricavare l'*IIP2* (“*Input Intercept Point 2nd order*”), che caratterizza il ricevitore dal punto di vista della linearità del secondo ordine.

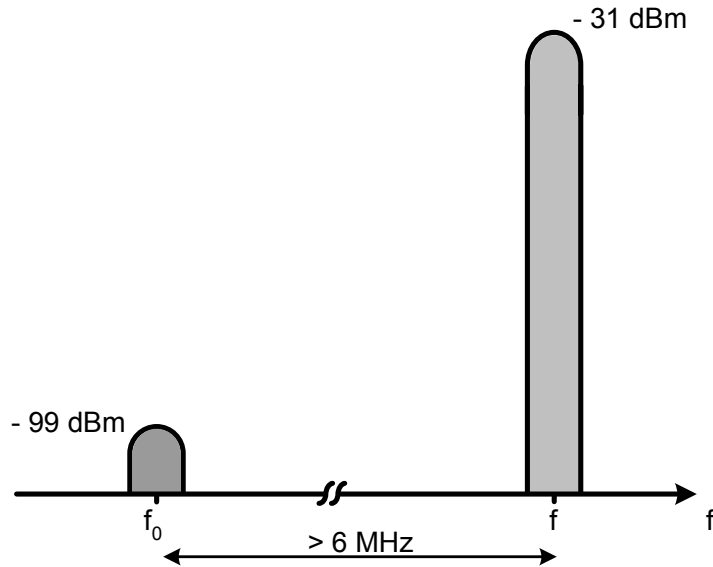


Figura 2.6: Test di soppressione di un disturbo AM

Essa si trova applicando la seguente equazione [7]:

$$IIP2|_{dBm} = 2P|_{dBm} - IM2|_{dBm} \quad (2.10)$$

dove

- P è la potenza dell'intermodulante, pari a -31 dBm
- $IM2$ è il prodotto di intermodulazione del secondo ordine generato. Come per l' $IM3$, esso può essere pari al massimo all' N_{floor} .

Sostituendo tutti i valori nella 2.10, si trova un valore di $IIP2$ riferita in antenna pari a 49 dBm.

2.2.4 Test di blocking

Questo test verifica l'abilità nel ricevere il segnale desiderato in presenza di un'interferente. Esso prevede che si debba mantenere il BER $< 10^{-4}$ quando all'ingresso del ricevitore siano simultaneamente presenti:

- il segnale desiderato, modulato GMSK, alla frequenza f_0 e con una potenza 3 dB superiore alla sensibilità

- un segnale sinusoidale statico e continuo ad una frequenza f multipla intera di 200 kHz e con una potenza dipendente dalla frequenza stessa, secondo la maschera definita dallo standard in base alla versione considerata.

Lo standard distingue due categorie di segnali interferenti (vedi tabella 2.2):

- quelli all'interno della banda di ricezione e la cui potenza è definita in base all'offset in frequenza che hanno rispetto al segnale desiderato
- quelli al di fuori della banda di ricezione che hanno un'ampiezza dipendente dal valore assoluto della frequenza e non più, quindi, dall'offset rispetto al segnale desiderato

Interferenti in banda [kHz]	Potenza [dBm]
$600 < f - f_0 < 800$	-43
$800 < f - f_0 < 1600$	-43
$1600 < f - f_0 < 3000$	-33
$3000 < f - f_0 $	-23
Interferenti fuori banda [MHz]	Potenza [dBm]
$f < 905$	0
$905 < f < 915$	-5
$f > 980$	0

Tabella 2.2: Interferenti in banda e fuori banda per l'E-GSM

La banda di ricezione per l'E-GSM occupa l'intervallo di frequenza [915 MHz; 980 MHz].

Come illustrato in figura 2.7, esistono però delle “bande di guardia”: infatti, l'interferente alla frequenza $\Delta f > 3$ MHz si estende fino a 10 MHz oltre l'ultimo canale all'estremità inferiore dello spettro di ricezione, prima che inizi il primo interferente fuori banda. Allo stesso modo, all'estremità superiore della banda di ricezione, esiste una “banda di guardia” di 20 MHz tra l'ultimo canale e l'inizio del primo interferente fuori banda.

Le “bande di guardia” sono importanti, in quanto permettono di non incontrare subito, all'uscita della banda di ricezione, le potenze esterne ad essa, che sono fino a 23 dB più grandi di quelle in banda [5].

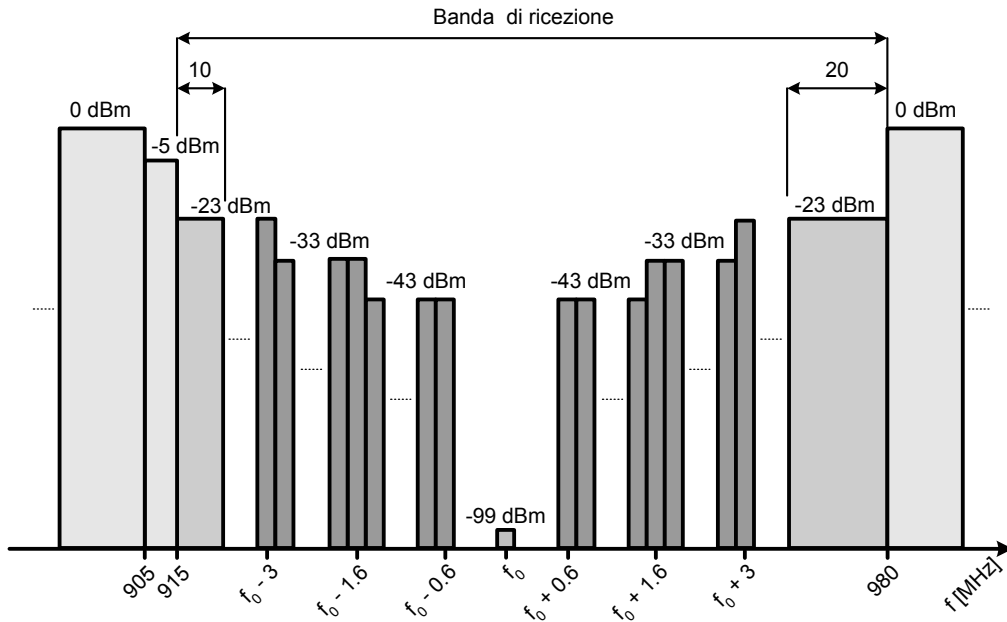


Figura 2.7: Profilo dei segnali nel test di blocking per l'E-GSM

Il test di blocking determina, inoltre, la dinamica dei circuiti che compongono il ricevitore, come è mostrato nel capitolo 4, relativo al dimensionamento delle architetture di ricezione analizzate.

Rumore di fase dell'oscillatore locale

In una catena di ricezione si deve effettuare almeno una traslazione in frequenza per portare il segnale desiderato in prossimità della banda-base dove viene elaborato. Per far questo è necessario inserire uno o più mixer, che effettuano la moltiplicazione tra il segnale voluto e quello generato da un oscillatore locale (LO).

Il rumore di fase è una misura della purezza spettrale dell'oscillatore locale. Esso può contribuire a degradare il SNR, determinando il ripiegamento di una frazione della potenza delle interferenti in corrispondenza del segnale desiderato: il rumore di fase definisce proprio quanto è grande questa frazione [7].

Dato che, nel test di blocking, il segnale desiderato ha potenza doppia rispetto alla sensibilità, il massimo valore del disturbo generato dal rumore di fase in presenza di un'interferente sarà pari all' N_{floor} .

E' quindi possibile calcolare il rumore di fase (o "Phase Noise", PN) usando

l'equazione seguente:

$$PN(\Delta f) = N_{floor} - P_{bk}(\Delta f) - 10\text{Log}_{10}B \quad (2.11)$$

dove

- $PN(\Delta f)$ è il rumore di fase dell'LO ad un offset Δf dalla portante
- $P_{bk}(\Delta f)$ è la potenza dell'interferente che si trova ad un offset Δf dalla portante
- B rappresenta la banda del segnale, cioè 200 kHz.

Nella tabella 2.3 sono mostrati i valori del rumore di fase alla frequenza delle armoniche interferenti. Tutti questi sono stati poi riportati alla frequenza di 1 MHz dalla portante, supponendo per ognuno di essi un andamento con pendenza -20 dB/dec.

Δf [MHz]	$PN(\Delta f)$ [dBc/Hz]	$PN _{1MHz}$ [dBc/Hz]
0.6	-121	-125.5
1.6	-131	-126.9
3	-121	-131.4

Tabella 2.3: Specifiche di rumore di fase ricavate dal test di blocking

In tabella non sono state riportate le specifiche di rumore di fase ricavate dalle interferenti fuori banda, dato che si suppone che il filtraggio dovuto al filtro RF posto dopo l'antenna renda trascurabile il loro contributo.

Pertanto la specifica di rumore di fase viene attribuita all'interferente che si trova ad una distanza di 3 MHz dalla portante del segnale desiderato.

2.2.5 Test di canale adiacente ed alternato

Si definisce *canale adiacente* quello distante 200 kHz dal segnale desiderato, e *canale alternato* quello posto ad una distanza di 400 kHz dal canale d'interesse.

Lo standard [4] prevede un test in cui all'ingresso del ricevitore è presente un segnale modulato GMSK (C) con un livello di potenza superiore di 20 dB alla sensibilità, affiancato, appunto, dai canali adiacente (I_1) ed alternato (I_2);

esso, inoltre, definisce i valori del rapporto “portante su interferente” nel seguente modo:

$$\frac{C}{I_1} = -9 \text{ dB} \quad (2.12)$$

$$\frac{C}{I_2} = -41 \text{ dB} \quad (2.13)$$

La tabella 2.4 riassume le potenze di segnale e le interferenti trovate (vedi anche la figura 2.8).

Interferenti	Potenze [dBm]
Segnale desiderato	-82
Canale adiacente	-73
Canale alternato	-41

Tabella 2.4: Canale adiacente ed alternato per lo standard E-GSM

Anche il test di canale adiacente ed alternato, come il test di blocking, serve per determinare la dinamica dei circuiti che compongono il ricevitore, come è mostrato nel capitolo 4.

Rumore di fase dell'oscillatore locale

Il test di canale adiacente ed alternato serve per ricavare ulteriori specifiche sul rumore di fase dell'oscillatore locale. Per calcolare quanto vale il PN ad un offset di frequenza dal segnale desiderato pari a 200 kHz e 400 kHz, si applica l'equazione 2.11, inserendo le potenze dei canali ricavate in 2.12 ed in 2.13 e aumentando la potenza dell' N_{floor} di 20 dB, in quanto il segnale desiderato, in questo test, ha una potenza superiore di appunto 20 dB alla sensibilità. In tabella sono mostrati i valori così ricavati e riportati alla frequenza di 1 MHz dalla portante.

Δf [MHz]	$PN(\Delta f)$ [dBc/Hz]	$PN _{1MHz}$ [dBc/Hz]
0.2	-71	-84.9
0.4	-103	-111.0

Tabella 2.5: Specifiche di rumore di fase ricavate dal test di canale adiacente ed alternato

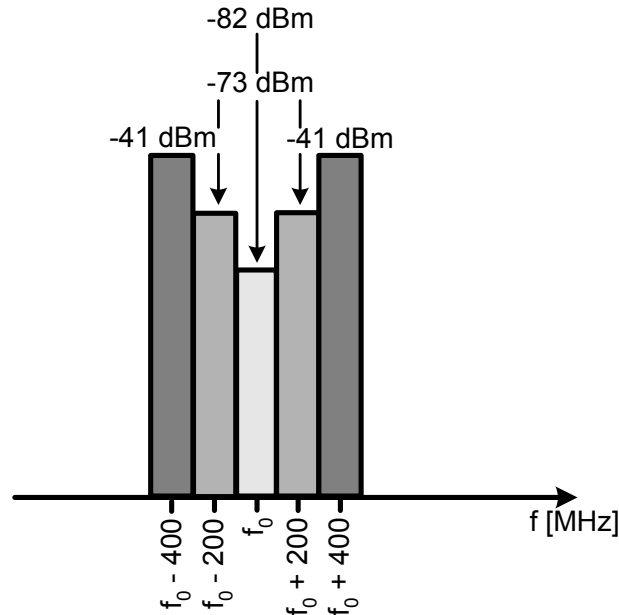


Figura 2.8: Test di canale adiacente ed alternato per l'E-GSM

I valori del rumore di fase riportato ad 1 MHz sono, tuttavia, più grandi di quello generato dall'interferente a 3 MHz, che, quindi, determina il massimo valore del PN di un ricevitore funzionante per il GSM.

2.2.6 Test di massimo segnale

Quest'ultimo test definisce il massimo segnale che il ricevitore deve essere in grado di elaborare, senza che si degradino le prestazioni in termini di BER sopra-precisate. Per l'E-GSM esso è pari a -15 dBm.

2.2.7 Riassunto delle specifiche ricavate dallo standard

Dai test descritti dallo standard sono state ricavate le specifiche che complessivamente il ricevitore deve realizzare; esse sono tutte riferite all'antenna.

In un'architettura di ricezione totalmente integrata, tra l'antenna ed il ricevitore integrato, è posto un filtro ad onda acustica superficiale particolarmente selettivo che serve per attenuare le interferenti fuori-banda (vedi figura 2.9). Quindi, per riferire i valori ricavati al solo ricevitore integrato, bisogna conoscere le attenuazioni di tale filtro e dell'eventuale "balun" che precedono l'integrato stesso.

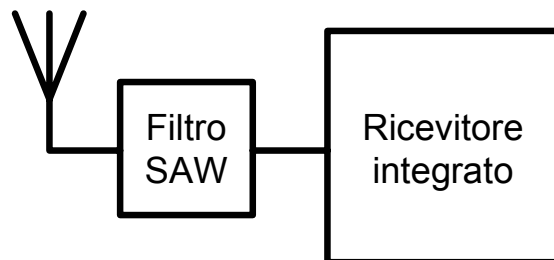


Figura 2.9: Schema di base di un ricevitore

Il dimensionamento del ricevitore dipende, allora, dalle caratteristiche del filtro RF. In questo lavoro esso è stato scelto tra quelli disponibili in commercio. Nella tabella 2.6 sono riportate le prestazioni del filtro SAW (*“Surface Acoustic Wave”*) utilizzato [8].

	Minima [dB]	Tipica [dB]	Frequenze [MHz]
Insertion Loss		3	
Frequenza Centrale			942.5
Attenuazione	30	36	880 – 905
	20	26	905 – 915
	19	24	980 – 1050

Tabella 2.6: Caratteristiche del filtro SAW utilizzato

La tabella 2.7 raccoglie le specifiche che deve avere un ricevitore integrato, funzionante per lo standard E-GSM, all’antenna ed all’uscita del filtro RF.

	Antenna	Out Filtro RF
NF [dB]	9.8	6.8
IIP3 [dBm]	−18	−21
IIP2 [dBm]	49	46
PN @ 1MHz [dBc/Hz]	−131.4	−134.4

Tabella 2.7: Specifiche per lo standard E-GSM

Dall’analisi della tabella 2.7 si può osservare che la cifra di rumore richiesta

è abbastanza bassa, quindi il rumore che il ricevitore può fare è limitato. Dal momento che il canale è largo solo 200 kHz, il rumore *flicker* sarà, allora, un parametro critico, essendo distribuito su una banda ridotta.

La richiesta di rumore di fase è difficile da soddisfare. Tuttavia, esistono soluzioni circuitali a bassa potenza che consentono di ottenere le prestazioni richieste [9].

Se si utilizzano architetture di ricezione totalmente integrate, come la Low-IF o la conversione diretta, il parametro più critico è rappresentato dalla linearità di secondo ordine ($IIP2$), che necessita di una progettazione accurata del sistema; la specifica di $IIP3$ è, invece, abbastanza rilassata [10]. Il problema della linearità di secondo ordine non si pone in altre topologie di ricezione quali, ad esempio, la supereterodina.

2.3 Architetture di ricezione analizzate

L'*architettura supereterodina* è stata per anni l'unica in grado di fornire un valido compromesso tra selettività e sensibilità, viste le forti limitazioni della tecnologia, che non consentiva ancora l'utilizzo di sistemi di ricezione completamente integrati. La struttura di un ricevitore supereterodina è mostrata in figura 2.10.

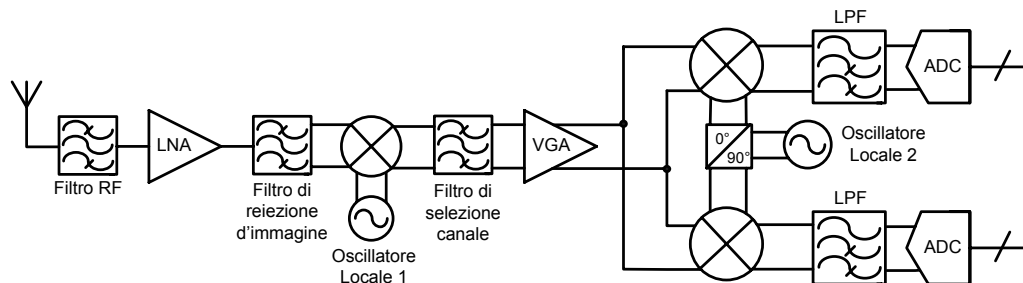


Figura 2.10: Architettura del ricevitore supereterodina

Vantaggi

- Filtraggio dell'immagine prima della traslazione in frequenza operata dal mixer
- Forte attenuazione delle interferenti grazie ai numerosi filtri presenti

Grazie a queste due operazioni, è richiesta una minor dinamica ed una minor linearità ai blocchi della catena di ricezione, con conseguente diminuzione del consumo di potenza.

Svantaggi

- Utilizzo di filtri esterni, che comportano la necessità di adattamento ogni volta che il segnale esce dal *chip*
- Scarsa integrabilità e, quindi, maggior costo

L'evoluzione dei ricevitori per lo standard GSM è stata costantemente indirizzata soprattutto all'abbattimento dei costi. Pertanto, grazie anche ai progressi tecnologici, l'architettura supereterodina è stata abbandonata in favore di altre topologie di ricezione, quali l'architettura a *conversione diretta* e l'architettura *Low-IF* ("*Low-Intermediate Frequency*"), adatte ad un elevato livello di integrazione e, quindi, caratterizzate da un minor costo. Tuttavia, in tali architetture, non essendo utilizzati filtri esterni per la ricezione dell'immagine e la selezione del canale, i circuiti devono essere in grado di elaborare il segnale correttamente, pur in presenza di interferenti di elevata potenza: pertanto le specifiche richieste ai blocchi che le costituiscono sono più critiche rispetto alla supereterodina, e si traducono in un maggior consumo di potenza. Nasce allora un inevitabile compromesso tra costo del ricevitore e suo consumo di potenza: è con l'obiettivo di realizzare un sistema completamente integrato, per ridurre dimensioni e costi, che in questo lavoro di tesi si è scelto di non adottare l'architettura supereterodina. Le topologie di ricezione analizzate sono, pertanto, la conversione diretta e la Low-IF, che si differenziano per la diversa frequenza a cui viene traslato il segnale ricevuto in antenna: direttamente in continua nel primo caso, ad una bassa frequenza nel secondo. Nel caso di Low-IF minima la frequenza intermedia è pari a metà della larghezza del canale ricevuto.

2.3.1 Conversione diretta

Nel ricevitore a conversione diretta il segnale desiderato è moltiplicato per un segnale di oscillatore locale di frequenza pari a quella della sua portante e, quindi, esso viene traslato direttamente in banda base. In questa topologia non esiste

allora un vero e proprio segnale immagine, in quanto esso è coincidente con il segnale desiderato.

La struttura completa della catena di ricezione è mostrata in figura 2.11. I due distinti cammini presenti sono necessari alla ricezione del segnale modulato in fase e quadratura (I e Q). In questo caso, anche se è improprio parlare di reiezione di immagine, è necessario garantire una buona accuratezza di quadratura, altrimenti si aumenterebbe il tasso di errore nella demodulazione dell'informazione.

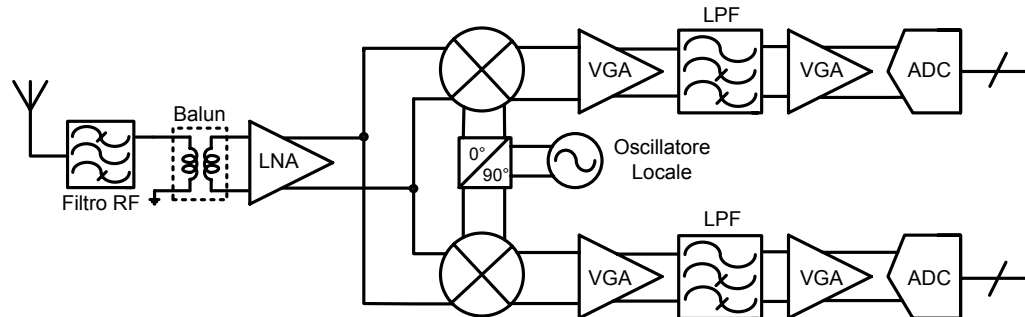


Figura 2.11: Architettura del ricevitore per la conversione diretta

Vantaggi

- Tale architettura è adatta ad essere integrata, in quanto il sistema può essere realizzato su un unico *chip* a partire dall'amplificatore a basso rumore fino al blocco di elaborazione digitale del segnale, ed è, quindi, a basso costo.
- Non esiste il problema della reiezione d'immagine in quanto quest'ultima è coincidente con il segnale stesso.

Svantaggi

- Il principale limite di questa topologia di ricezione è costituito dai disturbi a bassa frequenza: dominanti sono i *DC-offset*, intrinseci nel funzionamento stesso del ricevitore. La loro presenza all'uscita del mixer può portare alla saturazione degli stadi successivi di banda base.
- Nella tecnologia *CMOS*, il rumore $1/f$ del mixer e della banda base si sovrappone al segnale desiderato, degradando il rapporto segnale-rumore.

- Le non linearità di ordine pari della funzione di trasferimento, in particolare quella di seconda armonica, generano prodotti di intermodulazione attorno alla continua, sovrapposti, quindi, al segnale traslato in banda base e degradano così il rapporto segnale-rumore.

2.3.2 Low IF

Un'altra architettura che consente di ottenere una completa integrazione è la Low-IF, che trasla il segnale desiderato ad una frequenza, appunto, intermedia, che è prossima alla continua ed ha un valore molto basso, dell'ordine della larghezza del canale; in particolare, nel caso di Low-IF minima, la frequenza intermedia è pari a metà della larghezza del canale ricevuto, e per il GSM vale 100 kHz.

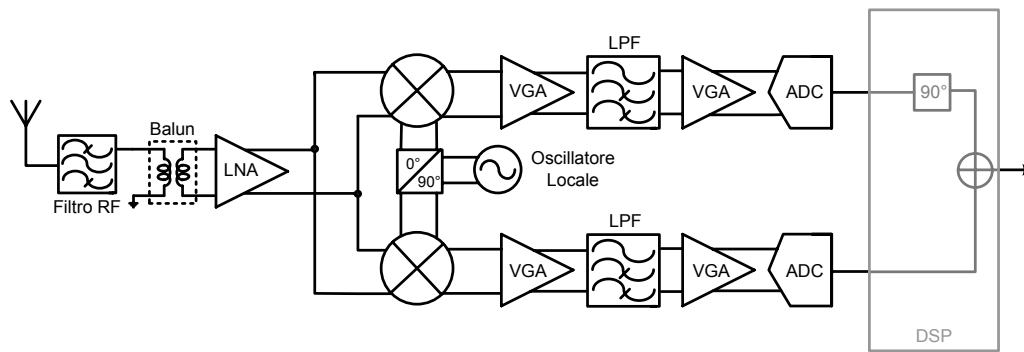


Figura 2.12: Architettura del ricevitore per la Low-IF

Tale architettura rispetto alla supereterodina ha gli stessi vantaggi della conversione diretta, ma, confrontata con quest'ultima, presenta delle differenze, alcune vantaggiose ed altre svantaggiose.

Vantaggi

- Riduzione dei problemi dovuti ai DC-offset, che rappresentavano uno dei principali limiti della conversione diretta
- In questa architettura è necessario garantire una certa reiezione dell'immagine: infatti, il segnale traslato in bassa frequenza si trova sovrapposto un segnale diverso da se stesso. Essa non è realizzata con dei filtri ma è garantita dall'architettura di ricezione stessa. In figura 2.12 è riportata la cosiddetta *architettura di Hartley* [7], che prevede la duplicazione del ricevitore in due

cammini prima del mixer, per poi realizzare la ricombinazione necessaria a cancellare l'immagine; essa può essere effettuata in ambito analogico o digitale: tuttavia è preferibile utilizzare quest'ultimo in quanto la parte digitale del circuito di ricezione o DSP (*"Digital Signal Processing"*) consente una reiezione con un elevato livello di precisione.

Svantaggi

- Il rumore flicker può cadere ancora nella banda d'interesse e corrompere il rapporto segnale-rumore, anche se meno della conversione diretta; il suo contributo dipende dalla larghezza del canale e nel GSM esso è rilevante.
- Per come è strutturata l'architettura di ricezione, la cancellazione dell'immagine, che ha una potenza non trascurabile, avviene soltanto dopo il convertitore analogico-digitale, costringendo i blocchi di banda base a possedere un'elevata dinamica ed alti requisiti di linearità. Questo, in particolare, si traduce in un elevato numero di bit del convertitore.

2.3.3 Low IF con filtro complesso

Un altro modo di realizzare la reiezione dell'immagine è quella di utilizzare, lavorando nel dominio analogico, un filtro complesso; esso, a differenza dei filtri reali solitamente usati, ha la caratteristica di avere una funzione di trasferimento asimmetrica, grazie alla quale può attenuare l'immagine [11]. L'ordine del filtro è, quindi, determinato dalla reiezione dell'immagine voluta.

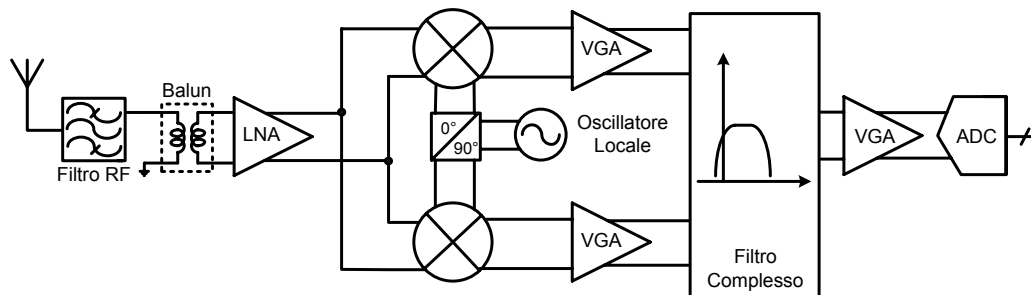


Figura 2.13: Architettura del ricevitore per la Low-IF con filtro complesso

Vantaggi

- In questo caso è possibile utilizzare, dopo il filtro complesso, un solo amplificatore a guadagno variabile ed un solo convertitore (vedi figura 2.13), in quanto la reiezione dell'immagine non è più affidata all'architettura di ricezione (che avrebbe previsto una duplicazione dei cammini con loro successiva ricombinazione) ma è garantita dal filtro stesso.
- Rispetto alla Low-IF descritta in 2.3.2, il numero di bit del convertitore richiesti in questa architettura è inferiore poichè l'immagine è attenuata direttamente dal filtro complesso, rilassando in questo modo le richieste di dinamica e di linearità dei blocchi di banda base.

Svantaggi

- Per ottenere la reiezione dell'immagine desiderata, l'ordine del filtro complesso deve essere elevato.

2.4 Stato dell'arte

In questo paragrafo è descritto lo stato dell'arte delle soluzioni presenti in letteratura per un ricevitore completamente integrato funzionante per lo standard GSM. Esse si possono classificare, in base alla tecnologia usata, in due categorie: quelle realizzate in tecnologia *BiCMOS* ([12], [13],[14]) e quelle realizzate in tecnologia *CMOS* ([15], [16],[17]). Le prime, solitamente, adottano l'architettura a conversione diretta, in quanto l'utilizzo di transistori bipolari allevia drasticamente il problema del rumore $1/f$, sovrapposto in banda base (0-100 kHz) al canale GSM. Le problematiche relative ai DC-offset ed all'elevata richiesta di linearità (*IIP2*) devono comunque essere superate con opportune tecniche circuitali. Le seconde, invece, sono realizzate tipicamente con l'architettura Low-IF in quanto la tecnologia *CMOS* richiede topologie di ricezione meno sensibili ai problemi dovuti al rumore $1/f$. Esiste, tuttavia, un esempio di ricevitore a conversione diretta realizzato in tale tecnologia [17].

2.4.1 Ricevitori BiCMOS a conversione diretta

I problemi legati all'utilizzo dell'architettura a conversione diretta sono, come ricordato, legati al rumore $1/f$, ai DC-offset e alle richieste di linearità del secondo

ordine. Di seguito sono approfondite tali problematiche ed, inoltre, sono descritte soluzioni tipicamente adottate in letteratura.

Rumore flicker

Il rumore flicker di un dispositivo dipende dal tipo di tecnologia utilizzata per realizzarlo. La frequenza f_α , alla quale il rumore bianco è uguale a quello flicker appartiene, infatti, all'intervallo 4-8 kHz in tecnologia *BiCMOS* e vale circa 1 MHz nei dispositivi MOSFET [18]. Pertanto, l'utilizzo della tecnologia *BiCMOS* rende il rumore $1/f$ trascurabile e consente di ottenere valori di figura di rumore per l'intero ricevitore (dopo il filtro RF) molto bassi (solo 2.3 dB in [12]).

DC-offset

La presenza di DC-offset con i segnali I e Q portati dai due cammini di ricezione della conversione diretta causa uno spostamento dell'origine della costellazione dei segnali e, quindi, un peggioramento del BER [18]. La sensibilità dei segnali ai DC-offset dipende dal tipo di modulazione digitale usata: nel caso del GSM, la modulazione GMSK, portando informazione anche attorno alla continua, è abbastanza sensibile. I DC-offset possono essere statici o dinamici [7]:

- *DC-offset statici*: come illustrato in figura 2.14, essi sono tipicamente generati dalla moltiplicazione tra il segnale di LO ed una copia sfasata di se stesso (a). La perdita di segnale di LO può passare anche attraverso l'LNA (b) e generare anche in questo caso disturbi in continua. I DC-offset statici possono essere generati anche da *mismatch* nel mixer ed in banda base; anche se piccoli, essi possono causare problemi in quanto sono amplificati dal guadagno che, dopo il mixer, è solitamente elevato.

Grazie alla loro natura statica, e quindi non variante nel tempo, tali DC-offset si possono eliminare sfruttando la natura TDMA del GSM: si misura l'entità di tali disturbi in un intervallo di tempo non utilizzato per la ricezione dell'informazione ("*idle mode*") per poi sottrarli nel blocco di elaborazione digitale del segnale (DSP) [18]. La calibrazione dei DC-offset, tuttavia, può non essere sufficiente nel caso (b) di figura 2.14 se esistono segnali interferenti in antenna. I *mismatch* nel mixer e nei blocchi di banda base si eliminano, invece, con delle calibrazioni ad anello chiuso, attivando i blocchi interessati prima del funzionamento vero e proprio del ricevitore [13]. Il problema si può anche ridurre utilizzando sofisticate tecniche di *layout*,

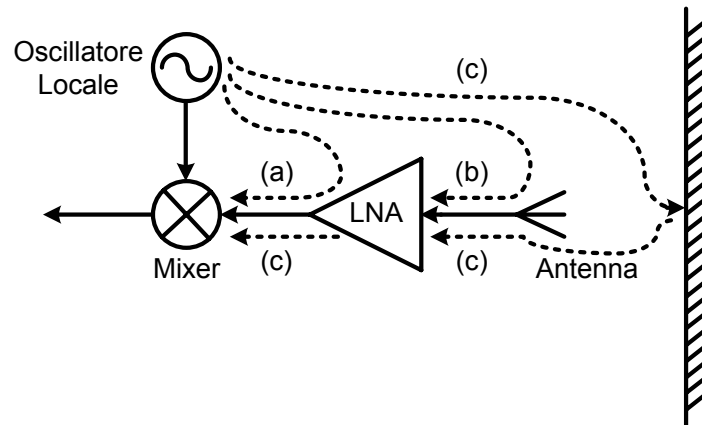


Figura 2.14: Accoppiamento dell'LO in alcuni punti prima del mixer

strutture dell'LNA e mixer completamente differenziali ed un opportuno circuito di compensazione dei DC-offset per i VGA: esso è costituito da un comparatore connesso all'uscita del VGA, seguito da un *contatore up/down* e da un convertitore digitale-analogico (DAC) connesso al suo ingresso [14]. Come mostrato in figura 2.15, un altro modo di realizzare la correzione dei DC-offset è quella di chiudere i blocchi di guadagno in un anello di retroazione [19].

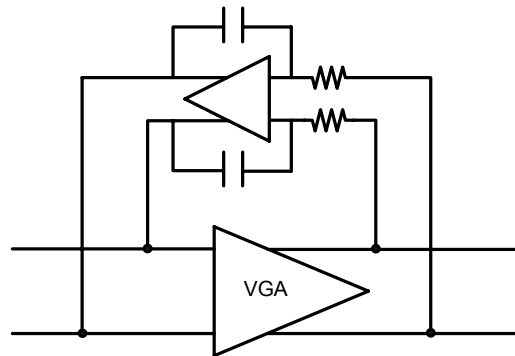


Figura 2.15: Possibile blocco di correzione dei DC-offset per il VGA

La correzione dei DC-offset può essere in alternativa effettuata all'uscita del filtro posto tra i due VGA, in modo da minimizzare il rumore aggiunto dalla rete di retroazione [12].

- *DC-offset dinamici*: essi sono causati da una variazione delle condizioni di canale, che può essere dovuta alla propagazione di cammini multipli, alla mobilità del terminale oppure ad una brusca degradazione del canale. Il disturbo così introdotto prende il nome di DC-offset dinamico, in quanto è un fenomeno tempo-variante in modo imprevedibile. Nelle condizioni di una variazione del canale, il sistema di controllo automatico del guadagno del ricevitore o AGC, presente in molte architetture [12], riaggiusta rapidamente il guadagno totale per mantenere il livello del segnale desiderato costante: in questa azione si generano DC-offset che possono causare errori nel segnale informativo prima di essere calibrati da un eventuale anello di correzione degli offset, e che quindi sono amplificati dall'alto guadagno della banda base. Un altro meccanismo che genera DC-offset dinamici è dato dal percorso (c) del segnale di LO di figura 2.14, che è riflesso da una superficie esterna e rientra nel ricevitore tramite l'antenna. Per diminuire l'effetto dannoso di tali disturbi è necessario ridurre le perdite dell'LO mediante isolamento, ottenuto tramite un accurato *layout* [18]. Esiste anche un altro rimedio, che prevede, come mostrato in figura 2.16 l'utilizzo di oscillatori locali che generano frequenze multiple [14] o sotto-multiple [13] della frequenza del segnale desiderato, che sono poi divise o moltiplicate da opportuni blocchi per realizzare la traslazione attorno alla continua del segnale desiderato, senza fare in modo, però, che il segnale re-irraggiato sia anch'esso traslato in banda base, essendo $f_{LO} \neq f_{RF}$. Esistono anche schemi che impiegano un rapporto variabile $\frac{m}{n} \cdot f_{LO}$.

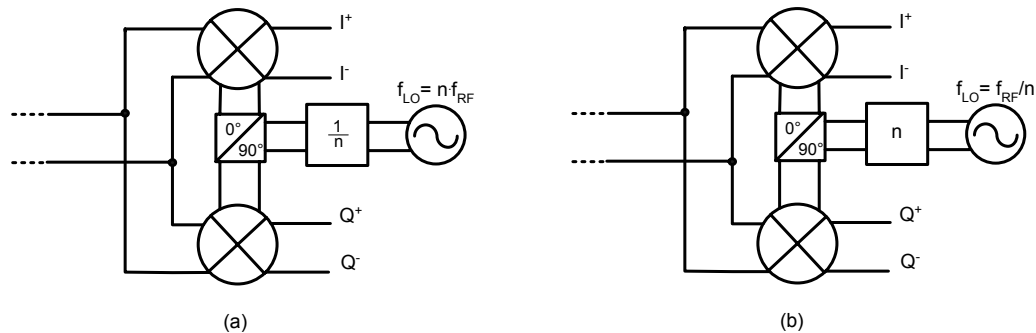


Figura 2.16: Possibili schemi di LO per prevenire i DC-offset

IIP2

L'*IIP2* è una grandezza introdotta per quantificare la linearità rispetto alla distorsione di secondo ordine prodotta dal ricevitore. Quest'ultima può essere causata da due distinti meccanismi:

- non linearità di ordine pari nel mixer ed in banda base: tale fenomeno è caratteristico dei circuiti non differenziali e dei circuiti differenziali in cui sono presenti asimmetrie;
- accoppiamento di interferenti a RF con il segnale di LO (illustrato in figura 2.17); tale fenomeno genera disturbi attorno alla continua, come mostrato dalle seguenti relazioni:

$$LO' = LO + k \cdot RF_{blk} = \cos(\omega_{LO}t) + k \cdot A \cos(\omega_{RF}t)$$

$$RF \cdot LO' = \frac{1}{2} \{ A \cdot \cos[(\omega_{RF} \pm \omega_{LO})t] \} + \frac{kA^2}{2} [1 + \cos(2\omega_{RF}t)]$$

dove A è l'amplificazione data dall'LNA e k il fattore di accoppiamento dell'interferente RF_{blk} , che può essere anche un segnale modulato.

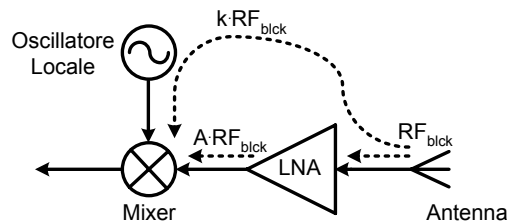


Figura 2.17: Accoppiamento di interferenti a RF con l'LO

Per ottenere elevata *IIP2* è innanzitutto necessario utilizzare circuiti differenziali e minimizzare i *mismatch* con un accurato *layout*. Recentemente sono state introdotte tecniche di calibrazione con l'obiettivo di ottenere elevata linearità [13] [20]. Tali tecniche sono basate essenzialmente sull'introduzione di asimmetrie determinate nei circuiti differenziali allo scopo di compensare i *mismatch* circuitali.

2.4.2 Ricevitori CMOS con architettura Low-IF

In questo paragrafo sono illustrate soluzioni presenti in letteratura per risolvere i problemi legati all'adozione dell'architettura Low-IF e conversione diretta realizzata con tecnologia *CMOS*. Mentre per DC-offset e *IIP2* le soluzioni sono analoghe a quelle utilizzate in tecnologia *BiCMOS* [15], [21], [16], il rumore $1/f$ costituisce una problematica propria della tecnologia *CMOS*.

Rumore flicker

Con la tecnologia *CMOS* il rumore flicker non è più trascurabile, in quanto la frequenza f_α è dell'ordine del MHz. Il mixer solitamente è uno dei blocchi più critici dal punto di vista del rumore $1/f$, come mostrato nel capitolo 5. Una soluzione adottata in letteratura per minimizzare il suo effetto è quella proposta in [15], cioè la *doppia conversione*: un'unica traslazione è sicuramente una soluzione più semplice, ma ha lo svantaggio della grande quantità di rumore flicker prodotto all'uscita del mixer e causato dalla traslazione del segnale da RF a frequenze molto basse. Se, invece, si effettuano due conversioni, si ottiene un doppio vantaggio in quanto si può realizzare un grande guadagno prima della banda base e, dato che il secondo mixer è pilotato a bassa frequenza, il rumore $1/f$ alla sua uscita è decisamente più basso. La scelta della prima frequenza (190 MHz in [15]) è effettuata in modo che le armoniche dell'LO e le non linearità del *front-end* di ricezione non traslino eventuali interferenti alla seconda frequenza (IF). La scelta di quest'ultima (140 kHz in [15]) nasce dal miglior compromesso tra la reiezione dell'immagine, il rumore flicker e la dissipazione di potenza. Infatti, il vantaggio ottenuto in termini di rumore $1/f$ è a spese dell'elevata reiezione d'immagine richiesta (IR=110 dB in [15]).

2.4.3 Ricevitori CMOS a conversione diretta

L'utilizzo della tecnologia *CMOS* in una architettura a conversione diretta per GSM risulta critico [18], in quanto alle problematiche dovute ai DC-offset ed all'*IIP2* si aggiunge quella relativa al rumore $1/f$, che si sovrappone al segnale nella banda-base analogica (0-100 kHz).

Tuttavia, mediante opportuni accorgimenti circuitali, è possibile realizzare un ricevitore a conversione diretta in tecnologia *CMOS*. L'esempio considerato è quello riportato in letteratura [17], in cui l'idea base è quella di utilizzare un numero minimo di stadi ad elevato guadagno: infatti, sono utilizzati solo l'LNA,

il mixer, un filtro e uno stadio di correzione programmabile del guadagno. In questo modo si risparmia potenza ed area, si migliora il comportamento del ricevitore dal punto di vista del rumore e si evitano complessi algoritmi di controllo programmabile del guadagno o PGC. Lo stadio di correzione programmabile del guadagno, posto dopo il filtro con passo di 1 dB, che assicura sempre l'opportuno adattamento all' $SNDR$ dell'ADC, è aggiunto per opporsi comunque alle variazioni di guadagno causate dalle variazioni di processo e di temperatura. Per prevenire un'eccessiva influenza del rumore flicker, le coppie che commutano del mixer sono pilotate da un segnale di LO squadrato mediante una catena di *inverter*. Per assicurare un'elevata $IIP2$, invece, è stato effettuato un *layout* simmetrico. Il filtro è realizzato con una cella biquadratica in combinazione con il polo posto all'uscita del mixer stesso: in questo modo si ottiene un filtro di banda base del terzo ordine. I livelli di impedenza del *biquad* derivano dal compromesso tra il rumore del ricevitore e l'area occupata.

2.5 Conclusioni

In questo capitolo, dall'analisi dei test previsti dallo standard si sono ricavate le specifiche per un ricevitore funzionante per il GSM. I valori numerici riportati nel secondo paragrafo sono validi per la versione E-GSM, le cui caratteristiche peculiari sono descritte nel paragrafo iniziale, ma le formule con le quali tali specifiche sono state ricavate si possono estendere a tutte le versioni esistenti del GSM. La scelta dell'E-GSM è legata alla necessità di focalizzare l'attenzione su una sola versione per procedere al successivo dimensionamento. Inoltre, essa, rispetto ad altre versioni, presenta specifiche più stringenti da rispettare.

Nel terzo paragrafo si è motivata la scelta delle architetture analizzate in questo lavoro di tesi: dato che l'obiettivo preposto è la realizzazione di un ricevitore a basso costo e di dimensioni ridotte, la classica supereterodina è stata abbandonata in favore della conversione diretta e della Low-IF, con e senza filtro complesso.

Tali architetture sono tipicamente realizzate in tecnologia *BiCMOS* o *CMOS*: nell'ultimo paragrafo sono, infine, mostrati i problemi che si incontrano nella realizzazione di un ricevitore realizzato con tali tecnologie e lo stato dell'arte delle possibili soluzioni presenti in letteratura.

Capitolo 3

Analisi di architetture di ricezione mediante la teoria dei segnali complessi

Nel capitolo 2 si è evidenziato come le architetture più adatte per realizzare un ricevitore completamente integrato in tecnologia *CMOS*, e quindi a basso costo, per lo standard GSM siano la Low-IF, la Low-IF con filtro complesso e la conversione diretta. Il dimensionamento di tali architetture verrà proposto nel capitolo 4. In questo capitolo è effettuata un'analisi matematica basata sulla rappresentazione complessa dei segnali, con lo scopo di analizzare in modo semplice e rigoroso l'utilizzo di due rami in quadratura nelle tre architetture considerate e di effettuare un loro primo confronto critico, premessa per il successivo dimensionamento.

Nella prima parte del capitolo è, quindi, illustrata la teoria dei segnali complessi, le principali operazioni che si possono effettuare su di essi (moltiplicazione per una costante complessa, per un segnale complesso, convoluzione) e che consentono di descrivere il funzionamento di alcuni blocchi circuitali (amplificatori, traslatori in frequenza, filtri) in modo compatto ed efficace. Nella seconda parte del capitolo tale analisi viene estesa alle architetture considerate, il cui studio consente, in particolare, una semplice deduzione della richiesta di ricezione d'immagine. Le tre architetture sono infine confrontate e vengono evidenziati i vantaggi della Low-IF con filtro complesso e della conversione diretta rispetto alla classica Low-IF in termini di richieste più rilassate ai singoli blocchi e di dissipazione di potenza del ricevitore.

3.1 Segnali complessi e loro proprietà

Un *segnale complesso* è definito come una coppia di due segnali reali totalmente indipendenti [22]. Esso è, quindi, un vettore bidimensionale di segnali reali; la rappresentazione complessa più utilizzata in letteratura è quella con parte reale e parte immaginaria. Un esempio pratico è quello dei segnali I e Q usati nell'architettura a conversione diretta che formano un segnale complesso di cui rappresentano, rispettivamente, la parte reale e quella immaginaria. In tal caso si ha:

$$x(t) = i(t) + j \cdot q(t) \quad (3.1)$$

$$X(j\omega) = I(j\omega) + j \cdot Q(j\omega) \quad (3.2)$$

dove $I(j\omega)$, $Q(j\omega)$ e $X(j\omega)$ sono le trasformate, rispettivamente, di $i(t)$, $q(t)$ e $x(t)$.

Un esempio di segnale complesso è il seguente:

$$z(t) = \cos(\omega_{LO}t) + j \cdot \sin(\omega_{LO}t) = e^{j\omega_{LO}t} \quad (3.3)$$

Il segnale complesso descritto dalla funzione 3.3 ha solo una componente positiva di frequenza ($\omega_{LO} > 0$) e nessuna componente negativa; questa è una proprietà generale dei segnali complessi: un segnale reale ha ben definite componenti a frequenza positiva e negativa con stessa ampiezza e fase opposta, presentando così uno spettro bilatero, mentre un segnale complesso può avere o meno entrambe le componenti ed esse possono essere radicalmente diverse.

Riassumendo, un segnale complesso contiene più informazione di un segnale reale, in quanto porta quella di due segnali reali, ed è bidimensionale.

Quando si usa la rappresentazione complessa bisogna, però, distinguere sempre le frequenze positive dalle negative; di solito, invece, nel progetto di circuiti analogici, i segnali sono considerati reali e la differenza tra frequenze positive e negative non è mai puntualizzata.

3.2 Operazioni sui segnali complessi

L'utilizzo di una notazione complessa non aumenta il contenuto informativo del segnale: essa non è nient'altro che un modo comodo di rappresentare l'informazione disponibile e si presta ad operazioni di calcolo più compatte. La sua caratteristica vantaggiosa è quella di fornire una chiara percezione dell'informazione portata da

una coppia di segnali sia alle frequenze positive che quelle negative. Essa diventa d'interesse quando si definiscono delle operazioni su questi segnali, come la moltiplicazione e la convoluzione, che devono fornire come risultato un segnale avente le stesse proprietà di quelli di partenza: ad esempio, la moltiplicazione tra due segnali complessi deve dare ancora un segnale complesso, come mostrato nella seguente equazione:

$$(A + jB) \cdot (C + jD) = (AC - BD) + j(AD + BC)$$

3.2.1 Moltiplicazione per un numero complesso

La moltiplicazione di un segnale complesso con una costante che è a sua volta un numero complesso da come risultato ancora un segnale complesso, come mostrato nell'equazione 3.4. Questa operazione è lineare e mantiene la posizione in frequenza del segnale $x(t)$.

$$y(t) = Z \cdot x(t) \tag{3.4}$$

dove:

$$\begin{cases} Z = A + jB \\ x(t) = i_{in}(t) + j \cdot q_{in}(t) \\ y(t) = i_{out}(t) + j \cdot q_{out}(t) \end{cases}$$

Sostituendo, si giunge alle equazioni seguenti:

$$\begin{cases} i_{out}(t) = A \cdot i_{in}(t) - B \cdot q_{in}(t) \\ q_{out}(t) = B \cdot i_{in}(t) + A \cdot q_{in}(t) \end{cases} \tag{3.5}$$

Amplificatore complesso

Partendo dalle equazioni 3.5 si può facilmente sintetizzare un amplificatore complesso. Esso mantiene la posizione in frequenza dell'informazione portata dal segnale ed, inoltre, introduce la stessa ampiezza e lo stesso cambiamento di fase per *tutte* le componenti in frequenza del segnale, positive e negative. Un amplificatore reale si comporta allo stesso modo per le ampiezze ma non per la fase.

L'amplificazione con una costante complessa è d'interesse nei sistemi retroazionati, come, ad esempio, il filtro complesso, nei quali sono confrontati segnali aventi differenti sfasamenti (vedi paragrafo 3.2.4).

Un caso particolare di amplificazione complessa è la moltiplicazione per la costante $Z = j$, che comporta uno sfasamento di 90° su tutte le componenti in frequenza del segnale.

3.2.2 Moltiplicazione per un segnale complesso

La moltiplicazione tra due segnali complessi è mostrata nella seguente equazione:

$$y(t) = z(t) \cdot x(t) \quad (3.6)$$

dove $z(t) = i_{LO}(t) + j \cdot q_{LO}(t)$.

Esplicitando la parte reale e quella immaginaria dei segnali nell'equazione 3.6, si arriva alle seguenti:

$$\begin{cases} i_{out}(t) = i_{LO}(t) \cdot i_{in}(t) - q_{LO}(t) \cdot q_{in}(t) \\ q_{out}(t) = q_{LO}(t) \cdot i_{in}(t) + i_{LO}(t) \cdot q_{in}(t) \end{cases}$$

Mixer complesso

La moltiplicazione è un'operazione molto importante in un ricevitore in quanto essa serve per effettuare la traslazione a bassa frequenza del segnale desiderato, necessaria per poterlo elaborare successivamente. Il grosso vantaggio del mixer complesso è quello di consentire la moltiplicazione di un segnale, complesso o reale, con una singola frequenza positiva; si consideri, ad esempio, come oscillatore locale il segnale complesso dato dalla 3.3 e come segnale d'ingresso un segnale reale $x(t)$ avente come frequenza centrale ω_{RF} , che nei calcoli, per semplicità, consideriamo cosinusoidale. L'operazione permette di moltiplicare $x(t)$ per la sola frequenza positiva ω_{LO} , come mostrato nell'equazione 3.7.

$$x(t) = A \cdot \cos(\omega_{RF}t) = A \cdot \frac{e^{j\omega_{RF}t} + e^{-j\omega_{RF}t}}{2}$$

$$y(t) = x(t) \cdot e^{j\omega_{LO}t} = \frac{A}{2} \cdot (e^{j(+\omega_{RF}+\omega_{LO})t} + e^{j(-\omega_{RF}+\omega_{LO})t}) \quad (3.7)$$

Si prenda in considerazione il caso $\omega_{LO} - \omega_{RF} = \omega_{IM} - \omega_{LO} = \omega_{IF}$ (architettura Low-IF); la moltiplicazione nel tempo corrisponde ad una traslazione in frequenza: come mostrato in figura 3.1, il segnale di oscillatore locale porterà alla frequenza ω_{IF} la parte di segnale che era alla frequenza $-\omega_{RF}$ e porterà a $\omega_{RF} + \omega_{LO}$ la parte di segnale che era a ω_{RF} ; esso, inoltre, traslerà il modo analogo l'immagine.

In questo modo, eliminata la parte di segnale ed immagine ad alta frequenza con un opportuno filtraggio passa-basso, è possibile cancellare, come mostrato di seguito, la parte dell'immagine alla frequenza $-\omega_{IF}$, che, altrimenti non consentirebbe una corretta ricezione del segnale desiderato.

Supponendo di poter eliminare totalmente l'immagine posta a $-\omega_{IF}$, il problema dell'immagine, allora, nel caso di oscillatore locale ideale, non sussiste più.

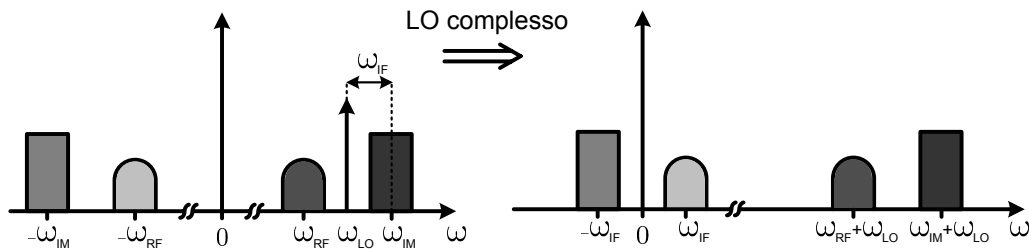


Figura 3.1: Moltiplicazione di un segnale reale con un oscillatore locale complesso nel dominio delle frequenze

Diverso è il caso dell'oscillatore locale reale, che presenta, in quanto tale, uno spettro bilatero. Come mostrato in figura 3.2, a seguito dell'operazione di moltiplicazione tra l'oscillatore locale reale e un segnale reale centrato a ω_{RF} , infatti, alla frequenza ω_{IF} ricadranno sia la parte di segnale a $-\omega_{RF}$ portata dalla parte di oscillatore locale a ω_{LO} che la parte di immagine a ω_{IM} portata dalla parte di oscillatore locale a $-\omega_{LO}$: segnale e immagine si trovano inevitabilmente sovrapposti, a differenza di quanto accadeva prima. Supponendo, come prima, di utilizzare un filtro LP, che elimina i segnali alle alte frequenze positive e negative, e di poter effettuare una completa cancellazione della parte d'immagine che si trova alla frequenza $-\omega_{IF}$, a causa della presenza di un oscillatore locale reale nasce, allora, il problema della reiezione d'immagine.

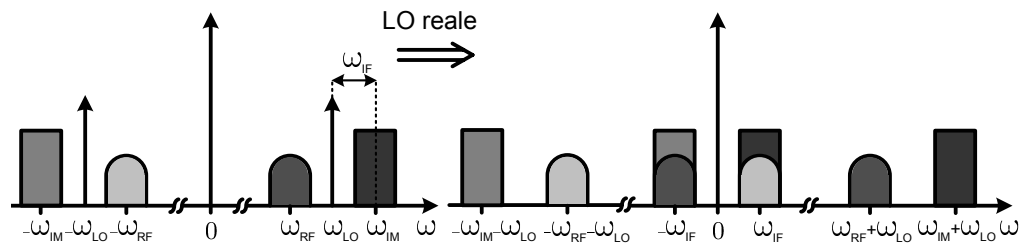


Figura 3.2: Moltiplicazione di un segnale reale con un oscillatore locale reale nel dominio delle frequenze

La trattazione appena proposta, che considera il segnale di oscillatore locale complesso con conseguente cancellazione dell'immagine, non è che una diversa spiegazione del comportamento dell'architettura di ricezione di Hartley [7], che implementa un mixer complesso scindendo la catena di ricezione in due cam-

mini, moltiplicati per due segnali di oscillatore locale sfasati di 90° , $\cos(\omega_{LO}t)$ e $\sin(\omega_{LO}t)$; questi ultimi due, infatti, non sono niente altro che la parte reale e quella immaginaria dell'esponenziale complesso dato dall'equazione 3.3, come mostrato in figura 3.3. I due segnali in quadratura dell'architettura di Hartley generano, quindi, una singola frequenza positiva di oscillatore locale, evitando la ricaduta sul segnale desiderato di una parte dell'immagine, come mostrato in figura 3.1. La completa cancellazione della parte dell'immagine posta alla frequenza $-\omega_{IF}$ si ottiene con una perfetta accuratezza di quadratura di fase dell'LO e di guadagno dei due cammini di ricezione.

La reiezione dell'immagine realizzata in questo modo può, quindi, essere giustificata sia con la teoria dell'architettura di Hartley [7] che con la spiegazione basata sui segnali complessi.

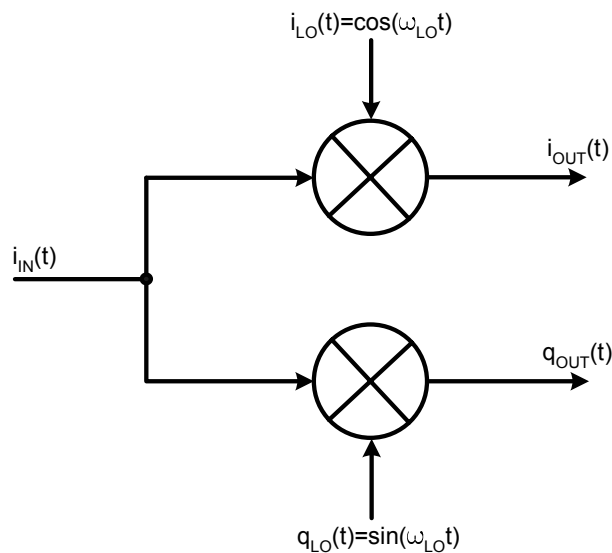


Figura 3.3: Moltiplicazione di un segnale reale con un segnale complesso, cioè una frequenza positiva $f_{LO} = \omega_{LO}/2\pi$

3.2.3 Moltiplicazione non ideale per un segnale complesso

Se un segnale, reale o complesso, è moltiplicato per un segnale che non presenta frequenze soltanto positive o negative, ma il cui spettro le contiene entrambe, seppur con pesi diversi, si parla di moltiplicazione non ideale. Un esempio di segnale avente spettro bilatero ma non simmetrico è dato dalla seguente equazione:

$$z'(t) = M \cdot \cos(\omega_{LO}t) + jN \cdot \sin(\omega_{LO}t) \quad (3.8)$$

dove $M = i_M + j \cdot q_M$ e $N = i_N + j \cdot q_N$ sono due numeri complessi diversi tra loro. La loro presenza causa la nascita di un termine alla frequenza $-\omega_{LO}$: infatti, svolgendo la 3.8, si arriva alla seguente:

$$z'(t) = e^{j\omega_{LO}t} \frac{1}{2} \cdot [i_M + i_N + j(q_M + q_N)] + e^{-j\omega_{LO}t} \frac{1}{2} \cdot [i_M - i_N + j(q_M - q_N)] \quad (3.9)$$

Dall'analisi dell'equazione 3.9, risulta che, per $M \neq N$, il termine che moltiplica l'esponenziale a frequenza negativa è non nullo. Si noti come, ad esempio, la scelta $i_M = i_N = 1$, $q_M = q_N = 0$ riconduca all'esponenziale complesso definito nell'equazione 3.3.

Mixer complesso non ideale

Prendendo ancora in considerazione il caso della architettura Low-IF ($\omega_{LO} - \omega_{RF} = \omega_{IM} - \omega_{LO} = \omega_{IF}$), la non idealità del moltiplicatore, cioè la presenza di un tono a frequenze negative causa, come mostrato in figura 3.4 un'inevitabile ricaduta dell'immagine sul segnale.

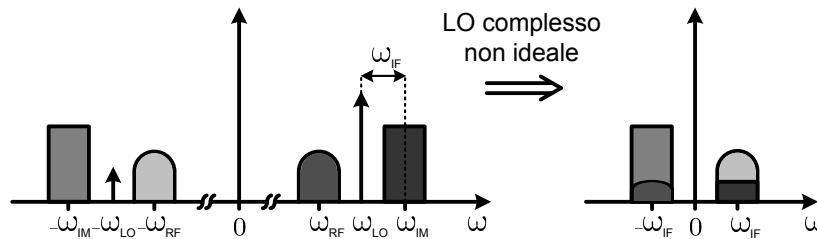


Figura 3.4: Moltiplicazione di un segnale reale con un oscillatore locale complesso non ideale nel dominio delle frequenze

Di seguito è mostrato come la non idealità dell'oscillatore locale, cioè la presenza di un tono a $-\omega_{LO}$, sia legata, ad esempio, al *mismatch* tra i due rami del ricevitore nell'architettura di Hartley, che può essere in ampiezza o in fase. Un buon dimensionamento di un'architettura di ricezione dovrà, quindi, stabilire quanto possa essere elevata l'inaccuratezza di quadratura in fase ed in ampiezza dei due cammini di Hartley, cioè, quanto possa discostarsi dall'idealità l'oscillatore complesso, per rispondere alle specifiche dettate dallo standard. Questo porta alla definizione di un corretto valore della reiezione d'immagine o IR, che è necessario per dimensionare il ricevitore stesso e dipende dal tipo di architettura utilizzata.

Inaccuratezza di quadratura: ampiezza

Si supponga che l'errore in ampiezza tra i due rami della topologia di Hartley valga $\Delta A_{TOT} = \xi$, dove ξ è un numero reale positivo. Detti I e Q i due cammini in quadratura, questo vuol dire che:

$$\begin{cases} I \rightarrow \left(1 + \frac{\xi}{2}\right)I \\ Q \rightarrow \left(1 - \frac{\xi}{2}\right)Q \end{cases}$$

In particolare, l'oscillatore locale cambierà la sua forma, assumendo quella dell'equazione 3.8:

$$z(t) = \cos(\omega_{LO}t) + j\sin(\omega_{LO}t) \longrightarrow z'(t) = \left(1 + \frac{\xi}{2}\right)\cos(\omega_{LO}t) + j\left(1 - \frac{\xi}{2}\right)\sin(\omega_{LO}t) \quad (3.10)$$

Svolgendo i conti nella 3.10, si trova la nuova espressione per l'oscillatore locale:

$$z'(t) = e^{j\omega_{LO}t} + \frac{\xi}{2}e^{-j\omega_{LO}t} \quad (3.11)$$

Dall'analisi della 3.11 si nota che per $\xi \rightarrow 0$ si ricade nel caso ideale, e che per $\xi \neq 0$ nasce una componente dell'LO a frequenze negative. La reiezione d'immagine dovuta ad un *mismatch* d'ampiezza è pari al rapporto tra il segnale desiderato ed il segnale immagine non voluto $A/\Delta A_{TOT}$, cioè a

$$IR_A = \frac{2}{\xi} \quad (3.12)$$

Un errore in ampiezza del 2% (cioè $\xi/2 = 0.01$), ad esempio, genera una IR_A di 40 dB.

Inaccuratezza di quadratura: fase

Si supponga che l'errore in fase tra i due cammini di ricezione sia pari a $\Delta\Phi_{TOT} = \phi$, dove ϕ è un numero reale piccolo a piacere. Questo vuol dire che:

$$\begin{cases} I \rightarrow Ie^{j\phi/2} \\ Q \rightarrow Qe^{-j\phi/2} \end{cases}$$

In modo analogo alla equazione 3.10, in questo caso il segnale di oscillatore locale è così modificato:

$$z(t) = \cos(\omega_{LO}t) + j\sin(\omega_{LO}t) \longrightarrow z'(t) = \cos(\omega_{LO}t) \cdot e^{j\phi/2} + j\sin(\omega_{LO}t) \cdot e^{-j\phi/2}$$

Sviluppando l'espressione, si arriva alla seguente:

$$z'(t) = \cos \frac{\phi}{2} \cdot (e^{j\omega_{LO}t} - j \tan \frac{\phi}{2} e^{-j\omega_{LO}t}) \quad (3.13)$$

La reiezione d'immagine dovuta ad un *mismatch* di fase è pari, per piccoli errori di sfasamento, a:

$$IR_F = \tan \frac{\phi}{2} \simeq \frac{\phi}{2} \quad (3.14)$$

Questo vuol dire che un errore di fase di 1° , ad esempio, porta a un valore di IR_F di circa 40 dB.

Reiezione d'immagine complessiva

Le espressioni ricavate nelle equazioni 3.12 e 3.14 indicano quanto del segnale a frequenze positive ricade, dopo la traslazione operata da un mixer complesso non ideale, su quello a frequenze negative e viceversa: dato che, tipicamente, a frequenze positive c'è il segnale e a quelle negative l'immagine, esse indicano esattamente la reiezione d'immagine ottenibile.

Queste inaccurately di quadratura sono, poi, espresse come ampiezze. Inoltre, tali contributi di errore in ampiezza ed in fase si sommano quadraticamente. Il rapporto di potenza tra immagine e segnale, se l'ampiezza del segnale desiderato è unitaria, vale allora:

$$\frac{I}{S} = \left(\frac{\xi}{2}\right)^2 + \tan^2 \frac{\phi}{2} \simeq \frac{\xi^2 + \phi^2}{4}$$

da cui si ricava:

$$IR_{TOT}|_{dB} = -10 \text{Log} \frac{\xi^2 + \phi^2}{4} \quad (3.15)$$

La reiezione d'immagine così trovata corrisponde alla definizione di IR abitualmente adottata in letteratura [7].

3.2.4 Convoluzione tra segnali complessi

L'operazione di convoluzione tra due segnali complessi nel tempo corrisponde alla moltiplicazione in frequenza delle rispettive trasformate. Sia $H(j\omega)$ una funzione polinomiale complessa di $j\omega$ (cioè i suoi coefficienti possono essere complessi), trasformata di un segnale complesso $h(t)$:

$$h(t) = i_F(t) + j \cdot q_F(t)$$

$$H(j\omega) = I_F(j\omega) + j \cdot Q_F(j\omega) \quad (3.16)$$

Sostituendo l'equazione 3.16 nella seguente:

$$Y(j\omega) = H(j\omega) \cdot X(j\omega) \quad (3.17)$$

si ottengono le espressioni per la parte reale e quella immaginaria del segnale d'uscita:

$$\begin{cases} I_{out}(j\omega) = I_F(j\omega) \cdot I_{in}(j\omega) - Q_F(j\omega) \cdot Q_{in}(j\omega) \\ Q_{out}(j\omega) = Q_F(j\omega) \cdot I_{in}(j\omega) + I_F(j\omega) \cdot Q_{in}(j\omega) \end{cases}$$

$$\begin{cases} i_{out}(t) = i_F(t) \otimes i_{in}(t) - q_F(t) \otimes q_{in}(t) \\ q_{out}(t) = q_F(t) \otimes i_{in}(t) + i_F(t) \otimes q_{in}(t) \end{cases}$$

dove il simbolo \otimes indica la convoluzione.

Filtro complesso

Come un filtro reale, un filtro complesso è descritto dalla risposta all'impulso $h(t)$ e dalla sua trasformata, la funzione di trasferimento $H(j\omega)$. Essa moltiplica la trasformata del segnale d'ingresso per fornire quella del segnale d'uscita, secondo l'equazione 3.17. Le espressioni per la parte reale e quella immaginaria del segnale d'uscita sono usate per realizzare uno schema generale a blocchi del filtro complesso.

Un caso particolare è rappresentato dal filtraggio di un segnale reale con un filtro complesso: il risultato è ancora un segnale complesso.

Traslazione lineare in frequenza

L'applicazione principale di un filtro complesso, dato che esso presenta una funzione di trasferimento asimmetrica rispetto all'origine, è la soppressione selettiva delle componenti positive o negative di un segnale complesso o reale [11].

Questo effetto, in generale, può essere ottenuto usando un filtro passa-banda o BPF, che è generato da una trasformazione lineare in frequenza di un filtro passa-basso o LPF. Per passare da un LPF reale ad un BPF esistono due possibili trasformazioni che si possono effettuare sulla sua funzione di trasferimento $H(j\omega)$:

- la trasformazione classica è data dalla seguente formula [23]:

$$j\omega \rightarrow j\omega_0 \left(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega} \right) \quad (3.18)$$

dove ω_0 è la frequenza alla quale è centrato lo spettro del BPF dopo la traslazione, come mostrato in figura 3.5. Tale trasformazione conserva le proprietà reali del filtro, che, quindi, presenta uno spettro simmetrico.

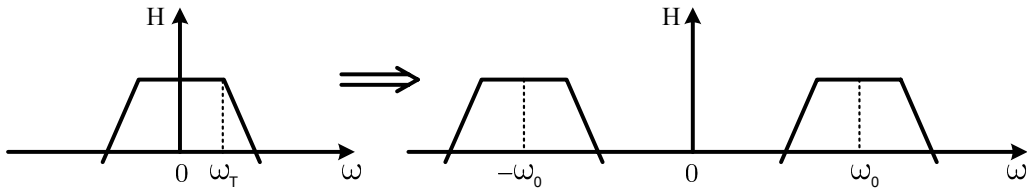


Figura 3.5: Trasformazione di un LPF reale in un BPF reale

- la seconda possibile trasformazione è data dalla seguente formula:

$$j\omega \rightarrow j\omega - j\omega_0 \quad (3.19)$$

Essa introduce, invece, dei coefficienti complessi nell'espressione della funzione di trasferimento, quindi porta alla realizzazione di un filtro BPF complesso, che presenta, come illustrato in figura 3.6, lo spettro del LPF di partenza, ma traslato solo alle frequenze positive e centrato attorno a $+\omega_0$.

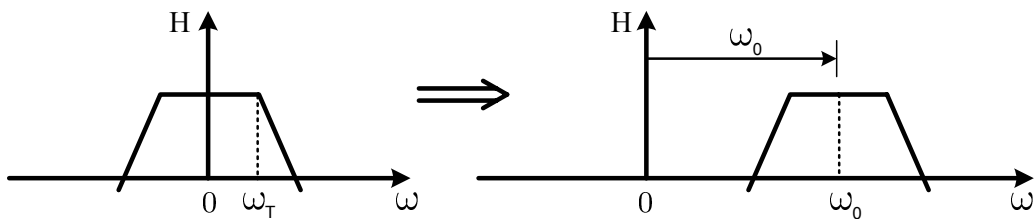


Figura 3.6: Trasformazione di un LPF reale in un BPF complesso

Come mostrato in figura 3.7, il filtro BPF complesso ricavato con questa seconda trasformazione può essere usato nei ricevitori Low-IF, ponendo $\omega_0 = \omega_{IF}$, per sopprimere l'immagine posta alla frequenza $-\omega_{IF}$ dopo la traslazione operata

dal mixer complesso, in modo alternativo all'architettura di Hartley. L'attenuazione che il filtro complesso ha alla frequenza dell'immagine è determinata in modo univoco dalla specifica di reiezione d'immagine dedotta dallo standard.

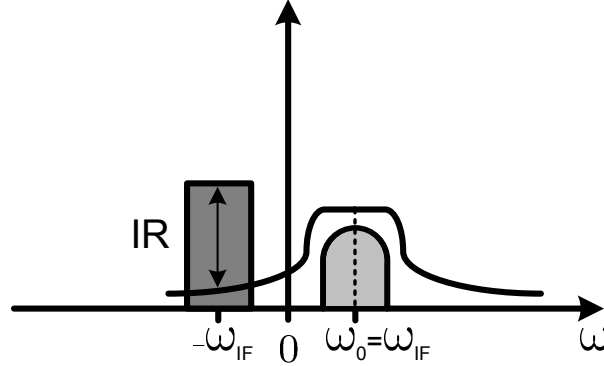


Figura 3.7: Attenuazione dell'immagine operata dal filtro complesso

Sintesi di un filtro complesso

La strada più efficiente per realizzare un filtro complesso passa-banda è l'implementazione diretta della sua funzione di trasferimento [11]. In generale, partendo da un LPF reale del primo ordine ed applicando la trasformazione 3.19 si ottiene un BPF complesso del secondo ordine, come mostrato di seguito:

$$H_{LP}(j\omega) = \frac{1}{1 + j \cdot \frac{\omega}{\omega_T}} \longrightarrow H_{BP}(j\omega) = \frac{1}{1 + j \cdot \frac{\omega - \omega_0}{\omega_T}}$$

Passando, quindi, alla sintesi diretta del filtro si ha:

$$\frac{Y(j\omega)}{X(j\omega)} = H_{BP}(j\omega) = \frac{1}{1 - j2Q + j\omega/\omega_T} \quad (3.20)$$

In questa equazione:

- ω_T è la frequenza di taglio dell'originario filtro passa-basso: $2\omega_T$ è, allora, la larghezza di banda del filtro passa-banda ottenuto
- Q è il *fattore di qualità* del filtro passa-banda, definito come il rapporto tra la frequenza centrale e la sua larghezza di banda, cioè

$$Q = \frac{\omega_0}{2\omega_T}$$

L'equazione 3.20 può essere riscritta come:

$$j\frac{\omega}{\omega_T} \cdot Y(j\omega) = X(j\omega) + (j2Q - 1) \cdot Y(j\omega) \quad (3.21)$$

In accordo con l'equazione 3.21, il filtro può essere allora direttamente sintetizzato per mezzo di un integratore ($\frac{1}{j\omega/\omega_T}$) e di un amplificatore complesso ($[j2Q - 1]$) descritto nel paragrafo 3.2.1. La figura 3.8 mostra lo schema a blocchi di un filtro passa-banda complesso del secondo ordine.

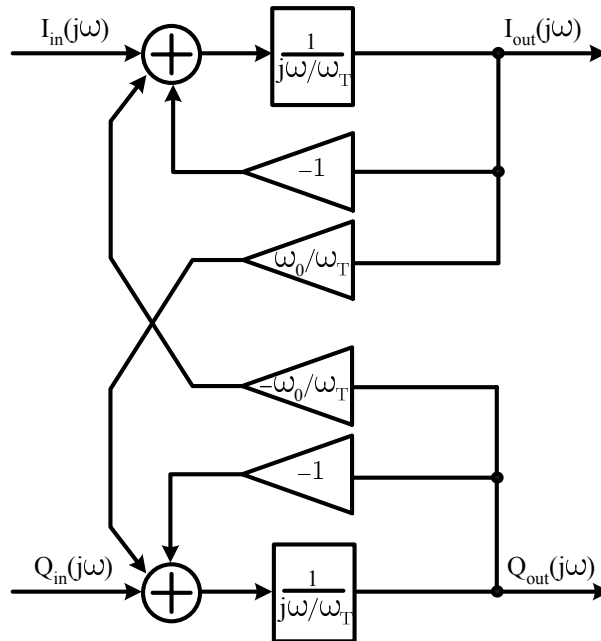


Figura 3.8: Schema a blocchi di un filtro complesso del secondo ordine

E' possibile, allora, partendo dallo schema di principio di figura 3.8, progettare un filtro BPF complesso a partire da un filtro LPF realizzato con un amplificatore operazionale ideale, retroazionato mediante un circuito RC parallelo [11].

La figura 3.9 mostra la realizzazione di filtro complesso avente un singolo polo ω_P , la cui espressione si ricava dalla funzione di trasferimento del circuito $\frac{V_{out}}{V_{in}}$, data dalla seguente equazione:

$$\frac{V_{out}}{V_{in}} = \frac{-R_2/R_1}{\frac{R}{R_2} - j + j\omega CR} \quad (3.22)$$

Quindi, per la frequenza di polo complesso ω_P si ricava la seguente espressione:

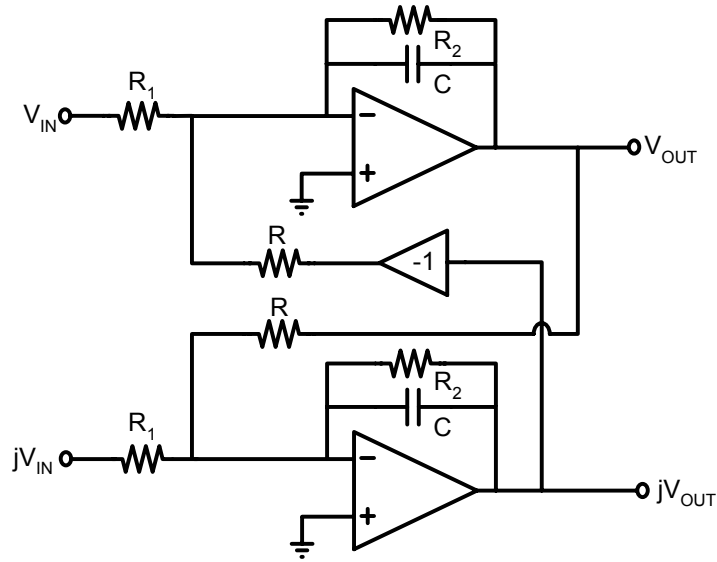


Figura 3.9: Realizzazione del filtro complesso tramite amplificatori operazionali

$$j\omega_P = \frac{j}{CR} - \frac{1}{CR_2} \quad (3.23)$$

Pertanto:

- R determina, insieme a C , la traslazione del filtro: $\omega_0 = \frac{1}{RC}$
- R_2 determina, insieme a C , la banda passante del filtro pari a $2\omega_T$, dove $\omega_T = \frac{1}{R_2C}$
- R_1 agisce sul guadagno in continua del filtro, pari, in modulo, a R_2/R_1

Ad esempio, per ottenere un filtro complesso che guadagni 10 dB, centrato alla frequenza di 1 MHz e con banda passante di 100 kHz, supponendo di usare una capacità da 20 pF, si trovano per le resistenze i seguenti valori: $R = 8 \text{ k}\Omega$, $R_2 = 160 \text{ k}\Omega$ e $R_1 = 50 \text{ k}\Omega$. L'attenuazione che così si ottiene sull'immagine è pari a 22 dB.

Per ottenere un filtro Butterworth complesso di ordine N , si mettono in cascata N stadi, calcolando per ogni polo le opportune traslazioni in modo che tutti i poli appartengano ad una circonferenza centrata sull'asse $\text{Im}(s)$ alla frequenza ω_0 e siano equispaziati di una quantità pari a π/N , a partire dal polo più vicino all'asse $\text{Im}(s)$ e da esso distante $\pi/2N$.

La trasformazione di un filtro passa-basso in un filtro passa-banda si può facilmente visualizzare sul *piano-s*. La figura 3.10 mostra gli effetti di questa operazione per un filtro Butterworth del terzo ordine (a): la trasformazione 3.19 comporta una traslazione di tutti i poli del LPF di una quantità pari a ω_0 , senza che si formi il complesso coniugato di ciascun polo (b), come invece accade applicando la trasformazione 3.18, che porta ad un BPF reale (c).

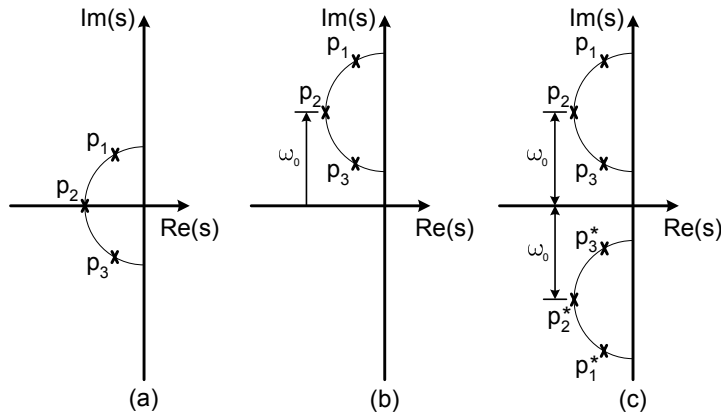


Figura 3.10: Possibili traslazioni lineari in frequenza di un filtro Butterworth LPF nel *piano-s*

Un ultimo vantaggio nel passaggio da un LPF reale ad un BPF complesso consiste nel mantenimento di tutte le proprietà del filtro stesso, come l'ampiezza massimamente piatta o il ritardo di gruppo, che non vengono, invece, garantiti attraverso la trasformazione in un filtro passa-banda reale.

3.3 Analisi delle architetture di ricezione

In questo paragrafo sono analizzate le architetture di ricezione descritte in 2.3 con la teoria dei segnali complessi sopra esposta, iniziando con la Low-IF e la Low-IF con filtro complesso, per le quali si ricava una specifica di IR. Per tali topologie di ricezione è, inoltre, descritto in che modo si opera la cancellazione dell'immagine, come si ricava la reiezione d'immagine necessaria per soddisfare le specifiche dettate dallo standard [4]; per ognuna di esse si riporta anche lo spettro risultante in banda base. Si analizza, infine, l'architettura a conversione diretta, per la quale, invece, non esiste un vero e proprio problema della reiezione dell'immagine, in quanto quest'ultima coincide con il segnale stesso. Per essa si

ricava, comunque, un valore di IR , legato solo all'accuratezza di fase dell'LO e di guadagno dei due cammini di ricezione.

3.3.1 Low IF

Come descritto nel paragrafo 2.3.2, in questa topologia di ricezione la cancellazione dell'immagine è effettuata, in generale, dall'architettura stessa, mediante lo schema di soppressione dell'immagine proposto da Hartley [7]. Secondo quanto visto con la teoria dei segnali complessi, nella realtà si utilizzano solo mixer non ideali, dato che è praticamente impossibile realizzare un perfetto *matching* tra i due cammini di ricezione, a causa sia della non perfetta simmetria di guadagno dei due rami che della non ideale quadratura di fase dell'LO. La conseguenza di questa non idealità è un'*inevitabile* ricaduta di una parte dello spettro dell'immagine sul segnale desiderato, che degrada, in questo modo, il rapporto segnale-rumore. L'immagine deve, quindi, essere attenuata a tal punto da non deteriorare il SNR: tale attenuazione è esattamente la specifica di IR , che è, poi, tradotta in massimo *mismatch* di fase dell'oscillatore locale e di ampiezza dei due cammini. Esiste, allo stesso modo, una sovrapposizione di una parte del segnale sull'immagine, ma entrambe saranno cancellate dall'architettura stessa.

Reiezione dell'immagine

In questa architettura la scelta della f_{IF} è legata alla specifica di IR richiesta. Supponendo di utilizzare $f_{IF} = 100$ kHz, l'immagine è posta alla frequenza del canale adiacente. Tuttavia, nel GSM, la potenza del canale alternato è maggiore di più di 30 dB rispetto a quella del canale adiacente, come descritto nel paragrafo 2.2.5, quindi, a quella frequenza, il segnale dominante è la *coda* del canale alternato. Per rendere trascurabile la coda del canale alternato, la potenza relativa di quest'ultimo rispetto al segnale desiderato, pari a 41 dB, deve essere ridotta al valore della potenza relativa del canale adiacente rispetto al segnale desiderato descritta dallo standard e pari a 9 dB [16]. In questo modo, la coda del canale alternato ricade sul segnale desiderato con una potenza che consente una corretta ricezione dell'informazione, secondo quanto dettato dall'ETSI. Quindi, l'attenuazione del canale alternato, cioè la reiezione d'immagine richiesta, come mostrato in figura 3.11, deve essere pari a:

$$IR = 41 - 9 = 32 \text{ dB} \quad (3.24)$$

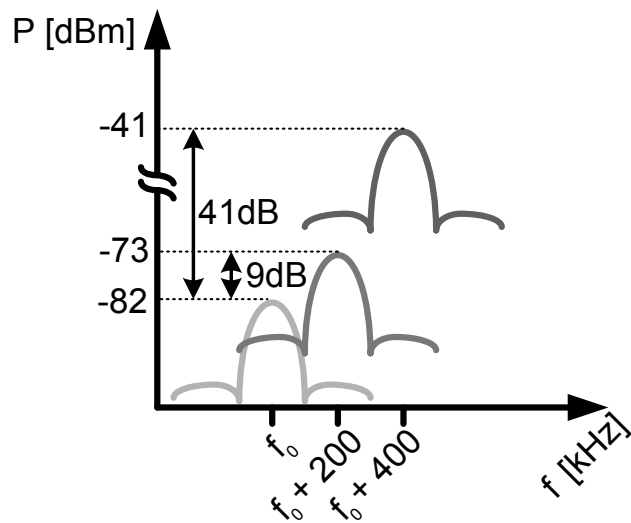


Figura 3.11: Reiezione d'immagine per l'architettura Low-IF

Se, invece, si scegliesse una $f_{IF} > 100$ kHz, l'immagine diventerebbe allora parte del canale alternato. Essendo quest'ultimo di potenza molto elevata rispetto al segnale desiderato, è intuitivo pensare che la richiesta di IR risulterà più difficile da soddisfare. Supponendo che il canale alternato abbia uno spettro squadrato, al variare di f_{IF} si è calcolata la reiezione d'immagine richiesta, riportata nella tabella 3.1.

f_{IF} [kHz]	IR [dB]
100	32
110	52
120	55
130	57
140	58
150	59
200	62

Tabella 3.1: Reiezione d'immagine in funzione delle frequenze intermedie

Dall'analisi della tabella 3.1, si nota come la scelta di $f_{IF} = 100$ kHz è quella

ottima. Infatti, spostando la f_{IF} di soli 10 kHz, la specifica di IR da soddisfare aumenterebbe di ben 20 dB, e sarebbe, quindi, più difficile da realizzare. Pertanto l'architettura Low-IF analizzata sarà caratterizzata da tale $f_{IF} = 100$ kHz e dovrà essere dimensionata in modo che IR valga 32 dB.

Si può anche ricavare l'attenuazione richiesta al canale adiacente [16] : essa è dettata dallo standard, che prevede un'interferenza *co-canale* C/I_c di 9 dB [4]. Essendo il canale adiacente superiore di $-73 - (-82) = 9$ dB al segnale desiderato, esso dovrà essere attenuato, quindi, di soli 18 dB, specifica molto più rilassata rispetto a quella relativa al canale alternato.

Spettro dei segnali in banda base

Nella figura 3.12 è mostrato lo spettro in banda base dell'architettura Low-IF. I segnali presenti sono quello desiderato, il canale adiacente e quello alternato, secondo le specifiche del *test di canale adiacente ed alternato*, descritte nel paragrafo 2.2.5, dato che, per come è stata scelta IF, l'immagine cade proprio alla frequenza del canale adiacente.

Lo spettro, inizialmente bilatero (a), è poi mostrato solo per le frequenze positive (b), dopo la traslazione operata dal mixer complesso. In figura è mostrato qualitativamente il filtraggio operato dall'intera catena di ricezione analogica (c) e la successiva cancellazione dell'immagine (d), che si completa nella parte digitale del ricevitore, dopo il convertitore analogico-digitale.

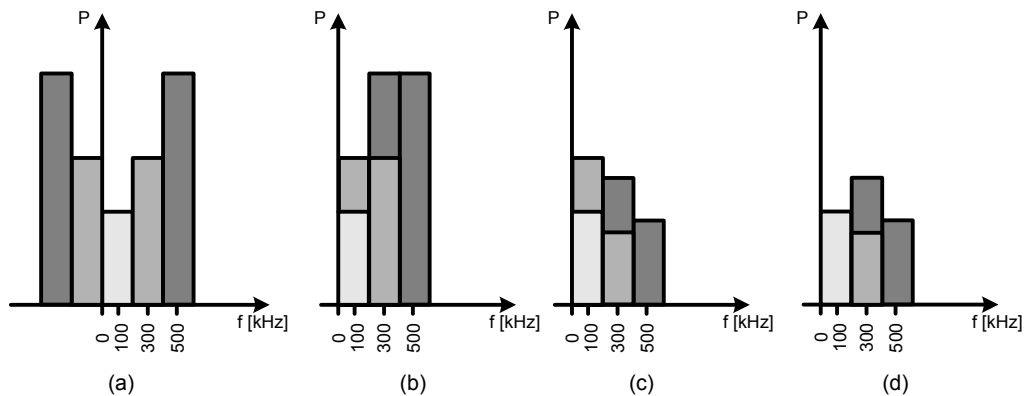


Figura 3.12: Spettro in banda base per l'architettura Low-IF

3.3.2 Low IF con filtro complesso

In questa topologia di ricezione, il cui schema è illustrato in figura 2.13, la cancellazione dell'immagine non è più affidata all'architettura stessa, ma è effettuata dal filtro complesso in essa presente. Esso, infatti, come mostrato in figura 3.7, grazie al suo spettro asimmetrico, mantiene invariato il segnale, che è a frequenze positive, e filtra l'immagine, posta, invece, a frequenze negative.

Nel caso di perfetta accuratezza di quadratura dell'LO e di guadagno dei due cammini di ricezione, la situazione è descritta in figura 3.13, nella quale si suppone anche un'azione filtrante del blocco complesso completamente efficace nella cancellazione dell'immagine.

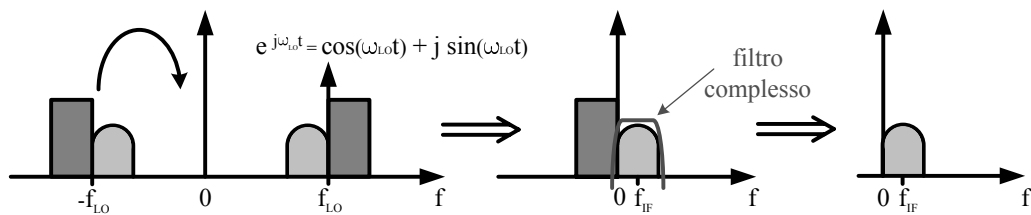


Figura 3.13: Analisi in frequenza dell'architettura Low-IF con filtro complesso ideale e LO complesso ideale

L'azione della reiezione dell'immagine avviene, allora, in due passi:

- nel primo passo l'oscillatore locale complesso permette di distinguere il segnale ($f > 0$) dall'immagine ($f < 0$)
- nel secondo il filtro passa-banda complesso consente di eliminare l'immagine a frequenze negative

Se non esiste un perfetto *matching* tra i due rami del ricevitore, in modo analogo alla Low-IF con architettura di Hartley, una parte dell'immagine si sovrappone al segnale desiderato presente a frequenze positive, determinando una non buona ricezione dello stesso che, come mostrato in figura 3.14, il filtro complesso non può in nessun modo migliorare.

In figura 3.15 è mostrato come un filtraggio non completamente efficace nella cancellazione dell'immagine a frequenze negative determina, invece, una sua ricaduta sul segnale desiderato.

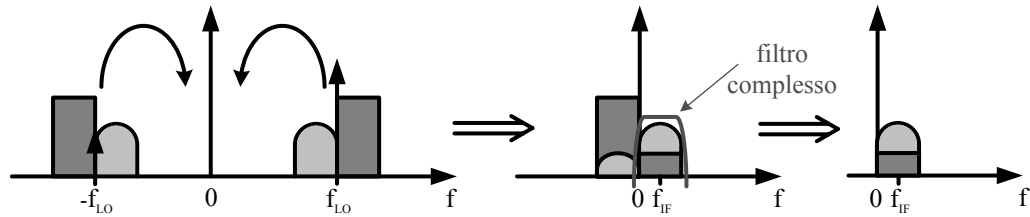


Figura 3.14: Analisi in frequenza dell'architettura Low-IF con filtro complesso, con i due cammini di ricezione in non perfetto *matching*

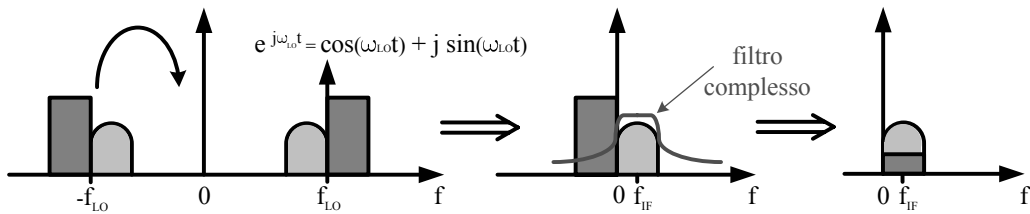


Figura 3.15: Analisi in frequenza dell'architettura Low-IF con filtro complesso nel caso di filtraggio non ideale dell'immagine

Reiezione dell'immagine

Il problema della reiezione dell'immagine, in questa architettura di ricezione, è legato, quindi, non solo alla non perfetta accuratezza di quadratura dell'LO e di guadagno dei due rami del ricevitore, che, come mostrato in figura 3.14, determina la presenza della parte di immagine alla frequenza f_{IF} , ma anche all'azione filtrante del blocco complesso, la cui attenuazione non completamente efficace, invece, può causare la presenza della parte d'immagine a $-f_{IF}$ che, poi, ricade sul segnale posto a f_{IF} , come mostrato in figura 3.15.

Il problema sarà, allora, quello di capire, supponendo una quadratura a RF perfetta, quale dovrà essere l'ordine N del filtro complesso per ottenere l'attenuazione necessaria dell'immagine. In figura 3.16 è mostrato in modo qualitativo come l'attenuazione dell'immagine dipenda dall'ordine del filtro utilizzato, supponendo che esso sia un Butterworth.

Anche in questo caso, scegliendo $f_{IF} = 100$ kHz, l'immagine è la coda del canale alternato, la cui potenza è ricavata dallo standard: dalla maschera del segnale trasmesso in esso contenuta (vedi [4], Annex A), si trova che essa ha, nel caso peggiore, una potenza di circa 30 dB inferiore a quella della frequenza

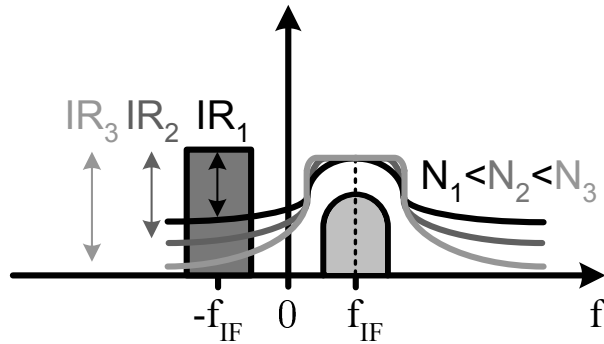


Figura 3.16: Attenuazione di un filtro Butterworth complesso sull'immagine

centrale. Dato che il canale alternato ha una potenza, alla sua frequenza centrale, 41 dB superiore al segnale desiderato, la coda si trova $41 - 30 = 11$ dB sopra il canale voluto.

Essendo la reiezione d'immagine legata in modo univoco alla massima interferenza co-canale consentita dallo standard, cioè 9 dB, l'attenuazione totale del filtro alla frequenza corrispondente al canale adiacente dovrà essere di:

$$IR = 9 + 11 = 20 \text{ dB} \quad (3.25)$$

In questo caso, allora, la reiezione data dall'equazione 3.17 determina *in modo univoco* l'ordine del filtro complesso utilizzato.

La situazione sopra descritta è illustrata in figura 3.17.

La specifica riguardante, invece, l'accuratezza di quadratura dell'LO e di guadagno dei due cammini di ricezione è la stessa trovata per l'architettura Low-IF.

Spettro dei segnali in banda base

Nella figura 3.18 è illustrato lo spettro di ricezione in banda base nelle condizioni del *test di canale adiacente ed alternato* (a). Il filtraggio complesso agisce sulla parte positiva dello spettro, che, infatti, è mostrato ancora nella sua interezza (b): quando si usano operazioni complesse, bisogna sempre distinguere le frequenze positive da quelle negative.

Si considera, infine, solo la parte dello spettro a frequenze positive (c) per visualizzare il filtraggio reale della catena (d), che, per semplicità, affidiamo, in questa figura, interamente ai blocchi successivi al filtro complesso.

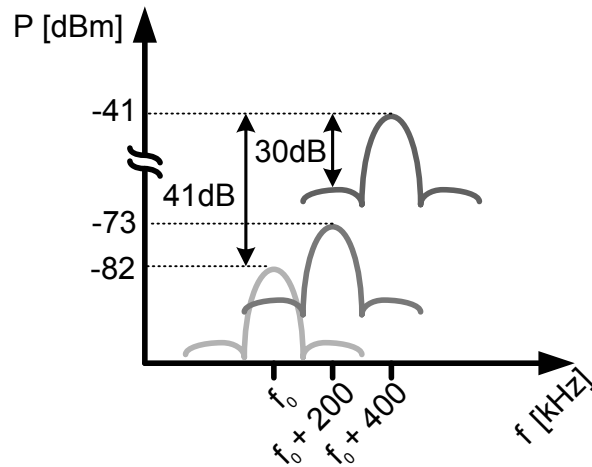


Figura 3.17: Reiezione d'immagine per l'architettura Low-IF con filtro complesso

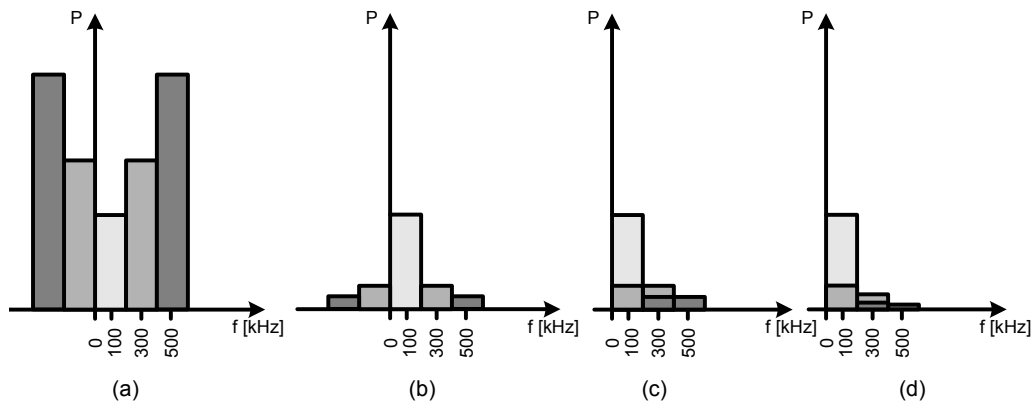


Figura 3.18: Spettro in banda base per l'architettura Low-IF con filtro complesso

3.3.3 Conversione diretta

In quest'ultima architettura presa in esame non esiste un vero e proprio problema di reiezione dell'immagine, in quanto quest'ultima coincide con il segnale stesso, essendo $f_{IF} = 0$ kHz. La separazione in due cammini di ricezione non serve, infatti, per realizzare la cancellazione dell'immagine, ma per portare contemporaneamente due informazioni in quadratura, che l'operazione di traslazione in frequenza separa in uscita. Quella che, in questa topologia, è chiamata impropriamente reiezione d'immagine riguarda, quindi, la perfetta quadratura tra i

due cammini I e Q, in modo da poter effettuare una loro corretta separazione. Il mixer in quadratura è utilizzato, allora, per separare le due metà dello spettro del segnale: per demodulare l'informazione portata da due canali in quadratura I e Q è necessario, infatti, costruire due cammini che hanno oscillatori sfasati esattamente di 90° . Un'accuratezza di quadratura limitata porta ad una deformazione del segnale ricevuto, con conseguente aumento del tasso di errore nella demodulazione dell'informazione. In analogia all'architettura Low-IF, anche per la conversione diretta si ricava, allora, una specifica di accuratezza di quadratura: dato che la potenza dell'immagine coincide con quella del segnale ed essendo la massima interferenza co-canale definita dallo standard pari a 9 dB, si ricava:

$$IR = 9 \text{ dB}$$

Tale specifica è estremamente rilassata ed è relativa *solo* all'accuratezza di fase dell'oscillatore locale e di guadagno dei due cammini di ricezione.

Spettro dei segnali in banda base

Un'importante caratteristica di questo spettro, mostrato in figura 3.19 è quella di essere simmetrico rispetto all'origine (a): la banda del segnale è, quindi, la metà di quella dello stesso a RF (b).

Il filtraggio della catena di ricezione (c), essendo reale, è anch'esso simmetrico e, quindi, perfettamente centrato con il canale desiderato. Ad un'analisi attenta, il filtro complesso introdotto nell'architettura Low-IF non è niente altro che un mezzo per riproporre tale situazione: essendo, in quel caso, il segnale voluto centrato alla frequenza $f_{IF} = 100 \text{ kHz}$, l'unico modo per avere un filtro posto sopra di esso senza alcuna controparte a frequenza negativa è utilizzare quello complesso. Il fatto, però, che lo spettro totale sia asimmetrico, nel caso della Low-IF, porta al ben noto problema della reiezione dell'immagine che, invece, nella conversione diretta non c'è.

3.4 Conclusioni

In questo capitolo è stata illustrata la teoria dei segnali complessi, partendo dalla loro definizione fino ad arrivare, tramite alcune operazioni che si possono effettuare su tali segnali, all'analisi di blocchi circuitali utilizzati nella progettazione di architetture di ricezione. In particolare, è stato spiegato il funzionamento di principio dell'amplificatore complesso, del mixer complesso e del filtro complesso.

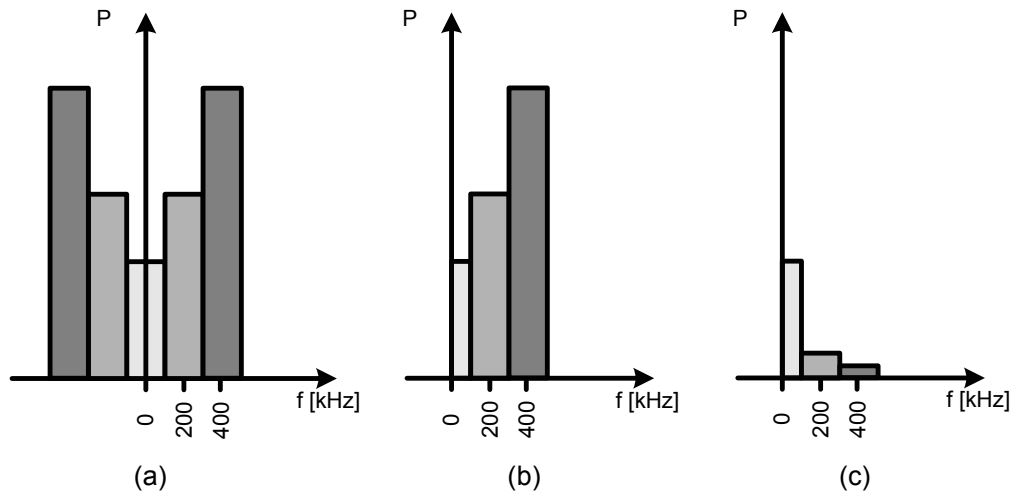


Figura 3.19: Spettro in banda base per l'architettura a conversione diretta

Tale teoria è stata poi applicata all'analisi delle architetture di ricezione già illustrate nel capitolo 2: essa è servita a descrivere sotto un nuovo punto di vista l'andamento dei segnali attraverso la catena di ricezione, con particolare attenzione al segnale desiderato e all'immagine. Questo ha permesso una semplice derivazione del requisito di reiezione d'immagine.

L'analisi delle architetture di ricezione considerate con la teoria dei segnali complessi ha portato alle seguenti considerazioni:

- *Low-IF*: dato che la cancellazione dell'immagine si completa con la ricombinazione, eseguita tipicamente nella sezione digitale, dei due cammini di ricezione, è richiesta un'elevata dinamica e linearità ai blocchi di banda base
- *Low-IF con filtro complesso*: la specifica di accuratezza di quadratura dell'LO e di guadagno dei due rami coincide con quella della Low-IF; l'ordine del filtro complesso deriva, invece, dalla richiesta di attenuazione dell'immagine. In questo caso la richiesta di dinamica dei blocchi di banda base è meno critica rispetto alla Low-IF
- *Conversione diretta*: la specifica di IR è più rilassata di quella delle altre due architetture. La dinamica richiesta ai blocchi di banda base è, infine, inferiore.

Sulla base di queste considerazioni, si deduce che l'architettura meno vantag-

giosa delle tre analizzate è la Low-IF, in quanto la cancellazione dell'immagine avviene solo alla fine della catena analogica di ricezione, richiedendo un'elevata dinamica dei blocchi di banda base, soprattutto dopo il filtro. La conversione diretta e la Low-IF consentono, invece, di rilassare le richieste di linearità della banda base, e risultano, quindi, le migliori candidate per l'implementazione del ricevitore.

Il passo successivo consiste nel dimensionamento effettivo delle tre architetture, che è affrontato nel capitolo seguente.

Capitolo 4

Dimensionamento delle architetture di ricezione

In questo capitolo è mostrato il dimensionamento delle tre architetture di ricezione analizzate nei capitoli 2 e 3. Esso è realizzato in modo che il ricevitore soddisfi le specifiche dedotte dallo standard dell'ETSI e sia, quindi, utilizzabile per qualsiasi versione del sistema GSM.

Nel primo paragrafo è illustrato il modello del sistema di ricezione adottato: dopo una breve descrizione del programma di simulazione, realizzato in questo lavoro di tesi, è illustrata la modellizzazione dei vari blocchi che costituiscono la catena di ricezione. Sono, inoltre, fornite le equazioni che descrivono il rumore, l' $IIP3$ e l' $IIP2$ della catena in funzione di quelli dei singoli blocchi, per mostrare come le prestazioni di ogni elemento circuitale si riflettano su quelle dell'intera catena di ricezione.

Nel secondo paragrafo sono, invece, illustrati i criteri generali adottati per il dimensionamento del sistema di ricezione.

Nei successivi tre paragrafi è mostrato il dimensionamento delle architetture Low-IF, Low-IF con filtro complesso e conversione diretta, evidenziando la distribuzione dei contributi di rumore e di linearità dei singoli blocchi della catena di ricezione. Il dimensionamento dei singoli blocchi è stato effettuato facendo riferimento a soluzioni circuitali presenti in letteratura.

Nel sesto paragrafo si analizzano, infine, in modo comparativo le tre topologie di ricezione dimensionate, per valutare quale sia la più vantaggiosa nell'obiettivo di una completa integrazione del ricevitore in tecnologia *CMOS*, mettendo in luce come la conversione diretta consenta una sostanziale semplificazione della catena

di ricezione (in particolare della sezione di banda base) e, di conseguenza, un maggiore contenimento del consumo di potenza.

4.1 Modellizzazione del sistema di ricezione

In questo paragrafo è illustrato il modello del sistema di ricezione adottato nel dimensionamento delle architetture analizzate in questo lavoro di tesi. Sono, inoltre, descritti i parametri che caratterizzano i vari blocchi che costituiscono la catena di ricezione considerata e come essi si combinano a fornire le caratteristiche del ricevitore.

4.1.1 Breve descrizione del programma di simulazione

Per effettuare un'analisi comparativa tra le possibili architetture di un ricevitore completamente integrato funzionante per lo standard GSM, è stato sviluppato un apposito programma di simulazione. Esso prevede la suddivisione dell'architettura di ricezione analizzata in un certo numero di *blocchi* caratterizzati da alcuni parametri (guadagno, rumore e linearità) definiti al loro ingresso che, opportunamente combinati, danno indicazione sul comportamento della topologia di ricezione in esame, in modo che essa risponda alle caratteristiche dedotte dallo standard e ricavate nel paragrafo 2.2.7.

Il programma valuta anche l'andamento del segnale, del rumore e delle interferenti che si propagano lungo la catena di ricezione; dato che il funzionamento di ogni singolo blocco, e, quindi, del ricevitore complessivo, è studiato nel dominio della frequenza, tali segnali sono definiti ad una particolare frequenza, pari a quella della portante, e sono caratterizzati dalla loro potenza: essi sono in pratica equivalenti a delle *dette di Dirac* aventi una potenza pari a quella del segnale reale, ma integrata su tutto il canale di ricezione. Più in dettaglio, i segnali presi in considerazione sono:

- il segnale desiderato, nelle condizioni previste dal test di sensibilità, dal test di blocking e dal test di canale adiacente ed alternato
- il canale adiacente ed il canale alternato
- le interferenti definite nel test di blocking
- il rumore di sorgente N_s
- il massimo segnale consentito dallo standard

Ogni blocco della catena di ricezione avente in ingresso un certo segnale genera, quindi, in base alle sue caratteristiche, un segnale d'uscita che costituisce il nuovo ingresso per il blocco successivo: in questo modo si può analizzare la propagazione dell'informazione e dei suoi disturbi attraverso la catena di ricezione, per procedere, poi, ad un corretto dimensionamento della stessa.

Gli scopi di questo programma sono, quindi, principalmente due:

- analisi *globale* del ricevitore, in termini di rapporto segnale-rumore all'uscita dello stesso: quest'ultimo è il parametro che permette di valutare una corretta ricezione del segnale desiderato, nonché di stabilire il superamento dei test previsti dallo standard;
- analisi *parziale* del sistema di ricezione all'ingresso ed all'uscita di ogni singolo blocco, in modo da poter studiare l'influenza dello stesso sull'intera catena di ricezione. Infatti, il programma fornisce anche i contributi percentuali di rumore e linearità dovuti ai singoli stadi, in modo da visualizzare in modo immediato quali sono gli elementi critici che limitano il ricevitore nelle sue diverse prestazioni e sui quali sarà, quindi, necessario intervenire opportunamente. Inoltre, esso controlla anche l'intervallo di variazione del guadagno richiesto ai singoli blocchi, in modo da evitarne la saturazione.

4.1.2 Analisi dei blocchi costituenti la catena di ricezione

In questo paragrafo viene analizzata la catena di ricezione modellizzata dal programma di simulazione, che, nel caso delle architetture considerate, è costituita dai seguenti blocchi, preceduti solo dall'antenna e dal filtro RF, descritto nel paragrafo 2.2.7, e seguiti dal convertitore analogico-digitale:

- amplificatore a basso rumore o LNA
- mixer
- amplificatore a guadagno variabile o VGA1
- filtro
- amplificatore a guadagno variabile o VGA2.

La disposizione dei blocchi di banda base, VGA1-filtro-VGA2, consente un'ottimizzazione della distribuzione di guadagno (variabile) e del filtraggio lungo la catena.

Dopo la caratterizzazione dei blocchi sopra-detti dal punto di vista del rumore e della linearità di secondo e terzo ordine, viene descritto come riportare i contributi dei singoli elementi della catena alla figura di rumore, all'*IIP3* e all'*IIP2* dell'intero ricevitore.

Caratterizzazione di un singolo blocco

Ogni blocco della catena di ricezione è caratterizzato in frequenza dalla sua *funzione di trasferimento*: per tutti i blocchi essa è del tipo passa-basso del primo ordine, ad eccezione del filtro, il cui ordine (N) non è stabilito a priori e dell'LNA, la cui risposta in frequenza è approssimabile a quella di un filtro del secondo ordine con fattore di merito basso ($Q \cong 6$ in [10]) ed è considerata piatta nella banda del segnale desiderato. Nel programma per ogni elemento è, allora, richiesto:

- il *guadagno* in continua G, espresso in dB
- la *frequenza di taglio* f_p , legata in modo univoco all'attenuazione α che il blocco fornisce alle diverse frequenze secondo la seguente formula:

$$\alpha(f) = \sqrt{1 + \left(\frac{f}{f_p}\right)^2} \quad (4.1)$$

Il filtro nella banda base analogica usato nei tre dimensionamenti è un *filtro di Butterworth*, in quanto, rispetto ad altri filtri come quello di *Cauer* o di *Tchebycheff*, causa solo una piccola distorsione di fase nella sua banda passante. La sua attenuazione varia in funzione della frequenza secondo la seguente equazione [24]:

$$\alpha(f)_B = \sqrt{1 + \left(\frac{f}{f_p}\right)^{2N}} \quad (4.2)$$

dove N è l'ordine del filtro.

Per ogni blocco sono, inoltre, forniti i seguenti parametri, tutti riferiti al suo ingresso:

- la *densità spettrale di rumore in ingresso* N_{in} , espressa in V_{rms}/\sqrt{Hz} . Il valore di rumore fornito si ottiene integrando il rumore, che può essere anche colorato, sull'ampiezza del canale e dividendolo poi per la banda: si tratta, quindi, di un valore medio, che tiene conto sia del rumore bianco che di quello flicker;

- l' $IIP3$ e l' $IIP2$, espresse in dBm, che, rispettivamente, caratterizzano il ricevitore dal punto di vista delle linearità del terzo e del secondo ordine.

Questo tipo di modello è usato per tutti i blocchi costituenti la catena di ricezione, ad eccezione del filtro RF, caratterizzato dalla perdita di inserzione (o IL) e del convertitore analogico-digitale.

Convertitore analogico-digitale

Il blocco finale della catena di ricezione considerata è il convertitore analogico-digitale. Esso è caratterizzato dai seguenti parametri:

- il *numero effettivo di bit* n , che stabilisce la massima quantità di rumore e distorsione introdotta dal convertitore
- la *frequenza di campionamento minima*, che definisce la frequenza oltre la quale l'effetto dell' "aliasing" è trascurabile rispetto al rumore sovrapposto al segnale.

Caratterizzazione di una cascata di blocchi

Dopo aver definito i parametri relativi a ciascun blocco e la struttura della catena di ricezione, in questo paragrafo si vuole mostrare come legare queste grandezze in modo da caratterizzare la cascata di blocchi nel suo insieme.

- Figura di rumore

Il fattore di rumore (eq. 2.1) di N stadi in cascata si ricava, in generale, dalla *formula di Friis* [7], valida sotto l'ipotesi di adattamento d'impedenza tra tutti gli elementi, data dalla seguente equazione:

$$F = 1 + (F_1 - 1) + \frac{F_2 - 1}{A^2_1} + \frac{F_3 - 1}{A^2_1 A^2_2} + \frac{F_N - 1}{\prod_{i=1}^{N-1} A^2_i} \quad (4.3)$$

dove A^2_i è il guadagno di potenza ($G_i = 10 \cdot \text{Log} A^2_i$) e F_i il fattore di rumore di ciascun blocco.

Tuttavia, per i blocchi all'interno della parte integrata del ricevitore, è conveniente caratterizzare il rumore tramite la densità spettrale di potenza del generatore equivalente serie N^2_i posto al loro ingresso. Per dedurre il rumore complessivo, noti i guadagni in potenza dei singoli blocchi A^2_i , si riporta

il loro rumore all'ingresso dell'LNA e si sommano i contributi quadraticamente (si tratta di sorgenti scorrelate), ottenendo in questo modo il rumore complessivo del circuito integrato N^2_{int} , secondo l'equazione 4.4:

$$N^2_{int} = N^2_{LNA} + \frac{N^2_M}{A^2_{LNA}} + \frac{N^2_{VGA1}}{A^2_{LNA}(2 \cdot A^2_M)} + \frac{N^2_F}{A^2_{LNA}(2 \cdot A^2_M)A^2_{VGA1}} + \frac{N^2_{VGA2}}{A^2_{LNA}(2 \cdot A^2_M)A^2_{VGA1}A^2_F} + \frac{N^2_{ADC}}{A^2_{LNA}(2 \cdot A^2_M)A^2_{VGA1}A^2_F A^2_{VGA2}} \quad (4.4)$$

dove si è raddoppiato il guadagno di potenza del mixer per l'effetto della traslazione in frequenza operata dallo stesso sulla densità di potenza del rumore [25]. Il rumore definito dall'equazione 4.4 è, poi, riportato all'ingresso del filtro RF e diventa N^2_{ant} ($N^2_{ant|dBm} = N^2_{int|dBm} + IL|dB$). Se ad esso si somma quadraticamente il rumore di sorgente presente a causa della resistenza di adattamento e dato dall'equazione 2.4, si ottiene una potenza di rumore che al massimo dovrebbe essere pari ai -111 dBm dell' N_{floor} , definito nell'equazione 2.6.

Dall'equazione 4.4 si può notare che i primi stadi della catena sono quelli più determinanti nel rumore complessivo del ricevitore, mentre il contributo degli ultimi blocchi, essendo preceduti da guadagni più elevati, è via via meno significativo.

A questo punto si è in grado di dare una valutazione in termini di figura di rumore complessiva riferita in antenna NF_{ant} :

$$NF_{ant} = NF_{int} + IL$$

dove NF_{int} si ricava inserendo la 4.4 in 2.5.

- IIP3

Detta f_0 la frequenza del segnale desiderato, f_1 e f_2 le frequenze alle quali si presentano le due interferenti previste dal test di intermodulazione (vedi paragrafo 2.2.2), tali che $f_1 > f_2$, e dette α_1 e α_2 le attenuazioni delle due interferenti, a causa del profilo filtrante di ogni blocco, calcolate alla loro frequenza, cioè $A_i(f_1) = A_i(f_0)/\alpha_1$ e $A_i(f_2) = A_i(f_0)/\alpha_2$, l'IIP3 del ricevitore come composizione delle IIP3 dei singoli blocchi è data dalla seguente formula [7]:

$$\begin{aligned} \frac{1}{IIP3_{int}} &= \frac{1}{IIP3_{LNA}} + \frac{A^2_{LNA}}{IIP3_M} + \frac{A^2_{LNA}A^2_M}{IIP3_{VGA1|eq}} + \\ &+ \frac{A^2_{LNA}A^2_MA^2_{VGA1}}{IIP3_F|eq} + \frac{A^2_{LNA}A^2_MA^2_{VGA1}A^2_F}{IIP3_{VGA2|eq}} \end{aligned} \quad (4.5)$$

in cui le $IIP3$ equivalenti sono definite nel modo seguente:

$$\begin{aligned} - IIP3_{VGA1|eq} &= \alpha_{1M}\alpha_{2M}^2 IIP3_{VGA1} \\ - IIP3_F|eq &= \alpha_{1M}\alpha_{2M}^2\alpha_{1VGA1}\alpha_{2VGA1}^2 IIP3_F \\ - IIP3_{VGA2|eq} &= \alpha_{1M}\alpha_{2M}^2\alpha_{1VGA1}\alpha_{2VGA1}^2\alpha_{1F}\alpha_{2F}^2 IIP3_{VGA2} \end{aligned}$$

Dato che, per definizione, α_1 e α_2 sono maggiori dell'unità, l'effetto dell'azione filtrante dei blocchi è quello di un equivalente aumento della linearità del filtro e dei due amplificatori a guadagno variabile.

L'equazione 4.5 mostra come più guadagno si sviluppa nei primi stadi e più gli ultimi devono garantire alta linearità a pari $IIP3_{int}$: infatti, essi si troveranno in ingresso segnali più ampi. Esiste, quindi, un inevitabile compromesso tra rumore e linearità nel dimensionamento di un ricevitore, in quanto un maggior guadagno, secondo l'equazione 4.4, migliorerebbe, invece, le prestazioni di rumore.

Analogamente a quanto detto sopra, tenendo conto della perdita d'inserzione del filtro RF, si può ricavare l' $IIP3$ riferita in antenna ($IIP3_{ant}$).

- IIP2

Definita, in questo caso, α_i l'attenuazione dell'interferente prevista dal test di soppressione di un disturbo AM (descritto nel paragrafo 2.2.3) alla frequenza della stessa, causata dal blocco i-simo, l' $IIP2$ dell'intera catena di ricezione è data dalla seguente espressione [7]:

$$\begin{aligned} \frac{1}{\sqrt{IIP2_{int}}} &= \frac{1}{\sqrt{IIP2_{LNA}}} + \frac{A_{LNA}}{\sqrt{IIP2_M}} + \frac{A_{LNA}A_M}{\sqrt{IIP2_{VGA1|eq}}} + \\ &+ \frac{A_{LNA}A_MA_{VGA1}}{\sqrt{IIP2_F|eq}} + \frac{A_{LNA}A_MA_{VGA1}A_F}{\sqrt{IIP2_{VGA2|eq}}} \end{aligned} \quad (4.6)$$

in cui le $IIP2$ equivalenti sono definite nel modo seguente:

$$\begin{aligned}
- \sqrt{IIP2_{VGA1}|_{eq}} &= \alpha_M^2 \sqrt{IIP2_{VGA1}} \\
- \sqrt{IIP2_F|_{eq}} &= \alpha_M^2 \alpha_{VGA1}^2 \sqrt{IIP2_F} \\
- \sqrt{IIP2_{VGA2}|_{eq}} &= \alpha_M^2 \alpha_{VGA1}^2 \alpha_F^2 \sqrt{IIP2_{VGA2}}
\end{aligned}$$

Anche in questo caso è come se la linearità degli ultimi tre blocchi fosse più grande. Tenendo conto della perdita d'inserzione del filtro RF, si può, infine, ricavare l' $IIP2_{ant}$.

4.2 Criteri di dimensionamento di un ricevitore

Il passo successivo alla modellizzazione del sistema di ricezione è il dimensionamento dello stesso, in termini di prestazioni e non idealità richieste a ciascun blocco. In questo paragrafo sono descritti i passi fondamentali per il dimensionamento della catena di ricezione analizzata.

Dopo aver scelto il filtro RF, il dimensionamento del ricevitore avviene secondo i seguenti passi:

- ipotesi di un certo filtraggio operato dai diversi elementi del ricevitore e calcolo dello spettro equivalente in banda base delle interferenti
- dimensionamento del convertitore
- dimensionamento dei restanti blocchi.

In generale, tale lavoro richiede una buona conoscenza delle soluzioni proposte in letteratura e delle specifiche effettivamente realizzabili per ciascun blocco. In alternativa, il problema del dimensionamento di una catena di ricezione si può affrontare in maniera più rigorosa e automatizzata tramite l'utilizzo di recenti strumenti matematici [26], che consentono di trovare, partendo da opportuni parametri assegnati, la miglior combinazione di possibili richieste ad una cascata di blocchi circuitati al fine di minimizzare o massimizzare alcuni vincoli. Tuttavia, in questo lavoro di tesi si è scelto di dimensionare il ricevitore sulla base dei criteri sopra-detti, dato che tale soluzione può raggiungere un risultato prossimo a quello ottimo in termini di opportuna suddivisione dei parametri tra i vari blocchi per rispondere alle specifiche dello standard, e si configura come un procedimento che, pur essendo meno rigoroso, è sicuramente più efficace dal punto di vista ingegneristico.

4.2.1 Filtraggio della catena e spettro delle interferenti in banda base

Il primo passo del dimensionamento consiste nella determinazione del profilo di filtraggio in banda base. Esso serve sia per attenuare il canale adiacente, quello alternato e le interferenti previste dal test di blocking, in modo da ridurre la dinamica dei blocchi di banda base, incluso il convertitore, che per svolgere una funzione *anti-aliasing*. Un ordine elevato di filtraggio riduce la dinamica dei blocchi di banda base e del convertitore, ma richiede area e consumo di potenza. Sulla base di questo compromesso, si è scelto come valore opportuno per l'attenuazione totale massima nella banda del segnale desiderato (pari a 200 kHz per le architetture Low-IF e a 100 kHz per la conversione diretta) 3 dB: questi saranno, quindi, suddivisi con criterio tra i blocchi con azione filtrante, per i quali sarà, quindi, possibile ricavare le frequenze di taglio secondo le equazioni 4.1 e 4.2. Essi sono il mixer, il filtro e i due amplificatori a guadagno variabile, in quanto si suppone, come già ricordato, che il fattore di merito del carico dell'LNA sia basso, e quindi, esso abbia un guadagno pressochè piatto su tutta la banda di ricezione. In questo modo è possibile, allora, stabilire quale interferente determina la dinamica del convertitore analogico-digitale e, quindi, passare al suo dimensionamento.

4.2.2 Dimensionamento del convertitore

Il dimensionamento del convertitore si basa sul profilo delle interferenti in banda base sopra ricavato; infatti, il valore del suo *fondo scala* o FS si definisce uguale alla potenza dell'interferente filtrata, trovata al passo precedente, che dà luogo all'intervallo dinamico di funzionamento, o *SNDR*, massimo. Esso serve anche per determinare il numero effettivo di bit n che caratterizzano il convertitore ed è dato, come mostrato in figura 4.1, dalla seguente equazione:

$$SNDR = (FS + Margine_{FS}) - (N + D)|_{in} \quad (4.7)$$

dove:

- il $Margine_{FS}$ corregge il valore del FS in quanto, considerando un segnale non al limite della dinamica del convertitore, al suo valor medio si aggiungono [10]:

- il “*crest factor*”, che dipende dalla modulazione utilizzata ed è valutato 3 dB per la GMSK¹
- i DC-offset e le eventuali imperfezioni sul controllo del guadagno dei VGA, che si stimano pari ad un errore di guadagno di 10 dB.

Quindi il $Margine_{FS}$ vale 13 dB.

- $(N + D)|_{in}$ è il valore del rumore e della distorsione introdotti dal convertitore e riportati all’ingresso della catena di ricezione; nel dimensionamento dell’ADC si fa in modo che esso sia inferiore di un opportuno margine, pari ad almeno 10 dB, all’ N_{floor} ricavato dallo standard (vedi paragrafo 2.2.1).

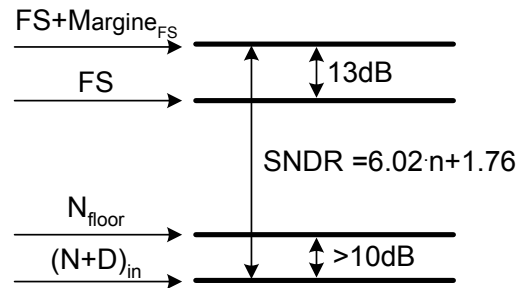


Figura 4.1: Analisi delle grandezze caratteristiche del convertitore analogico-digitale all’ingresso della catena di ricezione

Dal valore così ricavato di $SNDR$ si può, quindi, determinare il numero effettivo n di bit del convertitore secondo la seguente equazione [10]:

$$n = \frac{SNDR - 1.76}{6.02} \quad (4.8)$$

Frequenza di campionamento

Un altro parametro fondamentale necessario alla definizione del convertitore è la frequenza di campionamento. La minima frequenza di campionamento teorica f_s che consente la ricostruzione di un segnale limitato in frequenza a partire dai suoi campioni è data dal teorema di Nyquist:

$$f_s = 2 \cdot B \quad (4.9)$$

¹La modulazione $3\pi/8$ *Shifted 8PSK* usata nell’EDGE è caratterizzata da un “*crest factor*” di 3.2 dB [27]

dove B è l'ampiezza di banda del segnale informativo. Per il GSM, tale frequenza sarà, quindi, pari a 400 kHz. Tuttavia, a causa del fenomeno dell'*aliasing*, il progetto di un convertitore con tale frequenza non è di fatto realizzabile. Essendo la potenza delle interferenti decrescente con la frequenza a causa del filtraggio di banda base, maggiore è la frequenza di campionamento utilizzata e minore sarà l'effetto dell'*aliasing*, dato che l'interferente sovrapposta alla replica del segnale campionato avrà potenza sempre più piccola. Dall'analisi dello spettro in banda base è, quindi, possibile stabilire un estremo inferiore per le possibili f_s , facendo in modo che la potenza che ricade sul segnale sia trascurabile rispetto all' N_{floor} .

Guadagno massimo della catena di ricezione

Dal dimensionamento del convertitore si ricava anche il guadagno totale *massimo* della catena di ricezione G_{max} , dato dalla somma dei guadagni in dB di tutti i blocchi, a partire dal filtro RF, secondo la seguente formula:

$$G_{max} = S_{in\ ADC\ max} - P_{max} \quad (4.10)$$

dove:

- $S_{in\ ADC\ max}$ è il segnale massimo presente all'ingresso del convertitore, che, ipotizzando un valore di $FS + Margine_{FS}$ di 1 V per tutte le architetture analizzate e sottraendo i 13 dB di margine definiti sopra, risulta pari a -3 dBm
- P_{max} è la potenza che, scelta nel profilo di banda base tra quella del segnale desiderato, quella della più grande interferente prevista dal test di blocking e quella del canale più potente tra l'adiacente e l'alternato previsti dal corrispondente test, genera il guadagno maggiore, in modo da minimizzare la figura di rumore del ricevitore. Il profilo di banda base è quello riportato in antenna, cioè quello calcolato partendo dallo spettro all'ingresso del filtro RF e attenuando le interferenti secondo il profilo di filtraggio di banda base scelto [10].

Tale valore dovrà essere opportunamente suddiviso tra i vari blocchi della catena, dal filtro RF fino al VGA2, in modo da ottimizzarne le prestazioni.

4.2.3 Dimensionamento dei singoli blocchi

Una volta dimensionato il convertitore, si possono definire le caratteristiche dei restanti blocchi della catena in termini di guadagno, rumore introdotto, intermodu-

lazione di seconda armonica ed intermodulazione di terza armonica. Quest'ultima è legata, secondo l'equazione 4.11, al *punto di compressione del guadagno* riferito all'ingresso del blocco o $1dBCP|_{in}$ [7], che fornisce una misura, strettamente connessa alla dinamica in ingresso al circuito, delle prestazioni del singolo elemento della catena:

$$1dBCP|_{in} \simeq IIP3 - 10 \text{ dB} \quad (4.11)$$

Questo parametro permette di valutare la validità dei guadagni attribuiti ad ogni blocco della catena di ricezione. Per ognuno di essi si suppone, inoltre, una dinamica di uscita di almeno 0 dBm (300 mV differenziali). Un dimensionamento corretto dovrà, quindi, verificare che l'interferente più grande presente all'*uscita* di ogni singolo blocco sia < 0 dBm e inferiore di un margine di 3 dB al punto di compressione del guadagno riferito all'*uscita*, definito come $1dBCP|_{out} = 1dBCP|_{in} + G_i$, dove G_i è il guadagno in dB, alla frequenza del segnale desiderato, del circuito considerato.

Il programma verifica, infatti, che le interferenti presenti all'*ingresso* di ciascun blocco siano minori rispetto al

$$\min \begin{cases} IIP3 - 10 \text{ dB} \\ 0 \text{ dBm} - G_i \end{cases}$$

I valori di rumore, $IIP3$, $IIP2$ e guadagno dei singoli blocchi, combinati secondo le equazioni 4.4, 4.5 e 4.6, devono, inoltre, soddisfare le specifiche dedotte dallo standard (riportate in tabella 2.7).

4.2.4 Dimensionamento nelle condizioni previste dai test di massimo segnale

Il guadagno G_{max} definito dall'equazione 4.10 rappresenta l'estremo superiore dell'intervallo di variazione del guadagno della catena di ricezione: se, infatti, al suo ingresso è presente un segnale desiderato di potenza maggiore rispetto al P_{max} , come, ad esempio, quello previsto dal test di massimo segnale, essendo il valore di fondo scala del convertitore $S_{in \text{ ADC } max}$ fissato, per evitare la saturazione dei blocchi stessi, il guadagno totale deve diminuire. In figura 4.2 è mostrato l'andamento qualitativo del guadagno del ricevitore in funzione della potenza dei segnali al suo ingresso: esso varia nell'intervallo definito da G_{min} e da G_{max} , trovati considerando, rispettivamente, il massimo segnale ricavato dallo standard ed il segnale P_{max} dello spettro di banda base già filtrato. La figura 4.2 mostra, tuttavia, un

andamento di principio: in realtà, un ricevitore tipicamente non assume i valori di guadagno tra G_{min} e G_{max} con continuità, ma in modo discreto.

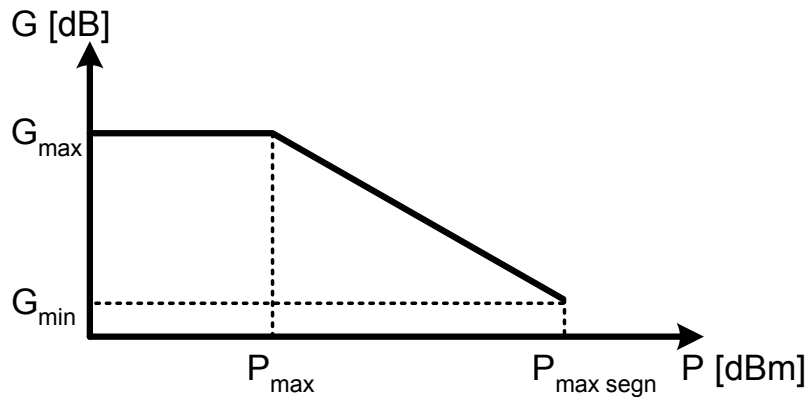


Figura 4.2: Andamento qualitativo del guadagno della catena in funzione della potenza dei segnali presenti al suo ingresso

La variazione di guadagno dovrà essere distribuita criticamente tra i blocchi, in modo da rispettarne sempre la dinamica, evitando, quindi, che ogni segnale assuma una potenza maggiore di 0 dBm all'interno della catena.

Guadagno minimo del ricevitore G_{min}

Il massimo segnale consentito dallo standard in antenna è pari a -15 dBm (vedi par.2.2.6). Supponendo di usare il filtro RF definito dalla tabella 2.6, all'ingresso dell'amplificatore a basso rumore è, allora, presente un segnale che al massimo ha una potenza di -18 dBm; esso serve per dimensionare nuovamente i guadagni di tutti i blocchi. I valori così ricavati costituiscono, allora, l'estremo inferiore dell'intervallo di variazione del guadagno di ciascun blocco. L'uscita massima del VGA2 coincide con il $FS + Margine_{FS}$ del convertitore; si suppone per esso, come prima, un valore di 10 dBm (1 V), che, opportunamente ridotti dei 13 dB di margine, forniscono un'uscita massima di -3 dBm. Il *minimo* guadagno che può, quindi, possedere un ricevitore sotto le ipotesi enunciate ed indipendentemente dall'architettura di ricezione è, allora, di 15 dB, da suddividere opportunamente tra i vari elementi della catena. I blocchi di banda base possono assumere guadagni < 0 dB [28], mentre l'LNA ed il mixer richiedono variazioni di guadagno meno drastiche.

4.3 Dimensionamento dell'architettura Low-IF

L'architettura Low-IF è utilizzata in molti prodotti commerciali realizzati in tecnologia *CMOS* [29], in quanto consente di ottenere buone prestazioni a basso costo. In questo paragrafo è mostrato il dimensionamento per un ricevitore GSM realizzato con tale architettura.

4.3.1 Filtraggio di banda base e dimensionamento del convertitore

Come descritto nel paragrafo 4.2.1, il primo passo del dimensionamento consiste nella definizione del profilo di filtraggio di banda base. In questo tipo di architettura, come mostrato in figura 3.12, il segnale in banda base si trova tra 0 e 200 kHz. Ipotizzando un'attenuazione totale massima di 3 dB alla frequenza di 200 kHz, in modo da mantenere abbastanza costante il guadagno nella banda del segnale, la sua suddivisione tra i blocchi della catena ha portato alla definizione delle frequenze di polo contenute in tabella 4.1:

Blocchi	f_{polo} [kHz]
Mixer	600
VGA1	600
Filtro	220
VGA2	600

Tabella 4.1: Frequenze di polo per i blocchi con azione filtrante nell'architettura Low-IF

In questa topologia si è utilizzato un filtro Butterworth del quarto ordine ($N=4$), come compromesso tra un buon filtraggio e occupazione di area e consumo di potenza.

La figura 4.3 mostra il profilo dello spettro del canale adiacente, che, essendo alla frequenza di 100 kHz, è sovrapposto al segnale desiderato, del canale alternato ($f = 300$ kHz) e delle interferenti previste dal test di blocking dopo la traslazione e dopo l'effetto del filtraggio di banda base: questa è la situazione che si presenta all'ingresso del convertitore analogico-digitale, al netto del guadagno del ricevitore, cioè, in altre parole, è quello che si presenta all'ingresso della catena di ricezione, già ridotto dell'attenuazione della stessa. La figura, tuttavia, non deve trarre in

inganno in quanto i segnali rappresentati non sono presenti contemporaneamente e neppure nelle stesse condizioni, in quanto, quando si considerano i canali adiacente ed alternato, la sensibilità è aumentata di 20 dB (come mostrato nel paragrafo 2.2.5), mentre in presenza delle altre interferenti, la sua potenza è raddoppiata (paragrafo 2.2.4).

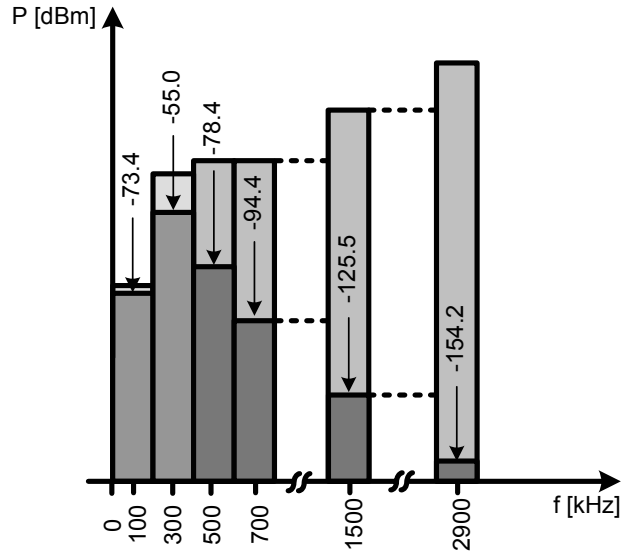


Figura 4.3: Effetto del filtraggio ipotizzato nell'architettura Low-IF

A questo punto è possibile dimensionare il convertitore: utilizzando come valore di FS la potenza del canale alternato, e aumentando il valore dell' N_{floor} di 20 dB, essendo la sensibilità aumentata della stessa quantità nel test di canale adiacente ed alternato, si trova un requisito di $SNDR$ pari a 59 dB. Dimensionando, invece, l'ADC sull'interferente di potenza maggiore, che è quella posta a 500 kHz, e raddoppiando la potenza dell' N_{floor} , essendo la sensibilità nel test di blocking più grande di 3 dB rispetto ai -102 dBm previsti dallo standard, si trova un requisito di $SNDR$ minore (52.6 dB). Pertanto, è il canale alternato che domina la dinamica del convertitore. Il numero effettivo di bit richiesti all'ADC, calcolato inserendo $SNDR = 59$ dB nell'equazione 4.8, è allora pari a 9.

La figura 4.3 mostra anche quale è la potenza che è ripiegata sul segnale considerato per effetto dell'*aliasing*: se si utilizza una frequenza di campionamento $1.5 < f_s < 2.9$ MHz, la potenza ripiegata sul segnale è pari a -125.5 dBm, per $f_s > 2.9$ è, invece, pari a -154.2 dBm. Dato che l' N_{floor} vale -111 dBm, la scelta di una frequenza di campionamento $f_s > 1.5$ MHz rende la potenza prodotta

dall'*aliasing* sul segnale trascurabile rispetto al fondo di rumore.

Il guadagno totale massimo G_{max} della catena di ricezione è determinato dall'interferente posta a 500 kHz e di potenza pari a -78.4 dBm: esso si ricava applicando l'equazione 4.10 e risulta essere pari a 75 dB, da suddividere nei vari elementi della catena di ricezione. Utilizzando, infatti, la potenza del canale alternato nell'equazione 4.10, si sarebbe ottenuto un guadagno $G^* = 52$ dB, e quindi minore rispetto ai 75 dB sopra-ricavati: questo renderebbe più difficoltosa la realizzazione della figura di rumore richiesta dallo standard, che, invece, è più facile da ottenere con un guadagno maggiore come G_{max} .

Il valore del rumore del convertitore al suo ingresso è, infine, pari a $3.54 \mu\text{V}_{\text{rms}}/\sqrt{\text{Hz}}$.

4.3.2 Dimensionamento dei singoli blocchi

Nella tabella 4.2 sono presentati i dati relativi al dimensionamento dei singoli blocchi per la catena di ricezione analizzata. Le grandezze riportate per ogni singolo blocco sono riferite tutte all'ingresso dello stesso.

		LNA	Mixer	VGA1	Filtro	VGA2
Guadagno	[dB]	22	9	12	15	20
Rumore	[$\text{nV}_{\text{rms}}/\sqrt{\text{Hz}}$]	0.45	6	15	20	20
IIP3	[dBm]	-5	8	14	25	0
IIP2	[dBm]	--	70	60	50	0

Tabella 4.2: Dimensionamento del ricevitore per l'architettura Low-IF

Di seguito è illustrato il criterio di dimensionamento dei vari parametri, mettendo in evidenza i punti più critici delle scelte effettuate.

Guadagno e rumore

Il primo blocco della catena di ricezione di un ricevitore completamente integrato è l'LNA: dato che la sua richiesta principale è quella di essere caratterizzato da un basso rumore, essendo preceduto da stadi che attenuano, si è scelta per esso una massima figura di rumore di 3 dB^2 , che corrisponde ad una densità di rumore in ingresso di $0.45 \text{ nV}_{\text{rms}}/\sqrt{\text{Hz}}$. Il suo guadagno è stato determinato in modo da soddisfare da una parte la riduzione del contributo di rumore del mixer al rumore

²Supponendo di realizzare un LNA differenziale, nella NF dell'LNA è allora inclusa l'IL del *balun* che lo precede, pari, tipicamente, a 0.5-1 dB

globale del sistema e, dall'altra, la necessità di non eccedere nella richiesta di linearità del mixer stesso. Il valore risultante da questo compromesso è 22 dB.

Il massimo rumore tollerabile dal mixer, inteso come radice della densità di potenza riportata al suo ingresso, è stato fissato a $6 \text{ nV}_{\text{rms}}/\sqrt{\text{Hz}}$: questa specifica tiene conto del fatto che il canale desiderato risente pesantemente del rumore flicker dei dispositivi *CMOS* ed è critica da realizzare.

Il dimensionamento dei guadagni dei blocchi di banda base è stato effettuato tenendo sempre presente l'inevitabile compromesso tra rumore e linearità e facendo riferimento a soluzioni proposte in letteratura [15] [16] [30]. In termini di rumore, l'unico blocco critico di banda base è il VGA1, per il quale la densità di potenza di rumore riportata al suo ingresso deve essere pari a $15 \text{ nV}_{\text{rms}}/\sqrt{\text{Hz}}$.

I valori di guadagno e di rumore sono utilizzati per calcolare la figura di rumore totale del ricevitore NF_{int} , secondo l'equazione 4.4. Essa risulta pari a 6.1 dB per l'architettura Low-IF, e, riportata in antenna, dà luogo a $NF_{\text{ant}} = 9.1 \text{ dB}$. Lo standard prevede un valore massimo di figura di rumore riferita in antenna pari a 9.8 dB: pertanto, si ha solo poco più di mezzo dB di margine. Questo è giustificato dal fatto che, come ricordato nel paragrafo 2.4, il rumore $1/f$ in tecnologia *CMOS* è particolarmente critico.

La figura 4.4 mostra i contributi percentuali al rumore complessivo dovuti ai singoli blocchi della catena forniti dal programma di simulazione.

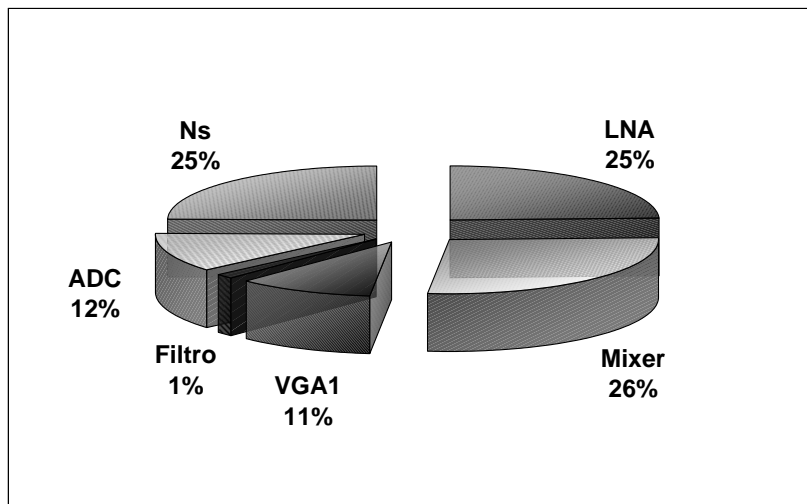


Figura 4.4: Contributi percentuali sulla distribuzione di NF per l'architettura Low-IF

Come si può osservare, i contributi dominanti sono quelli del rumore di sorgente N_s , dell'LNA e del mixer; questi ultimi due contribuiscono da soli per il 70% del rumore del *solo* circuito integrato; il resto è coperto principalmente dal primo amplificatore a guadagno variabile e dal convertitore.

IIP3

La specifica di *IIP3* richiesta ad un ricevitore per lo standard GSM non è particolarmente critica, in quanto all'antenna del ricevitore essa deve essere maggiore di -18 dBm: questo permette di realizzare un guadagno elevato nei primi blocchi (LNA e mixer), in modo da minimizzare la figura di rumore senza, per questo, peggiorare sensibilmente la linearità. Analizzando la tabella 4.2, si nota come il valore di *IIP3* assegnato ai singoli blocchi, escluso il VGA2, aumenta percorrendo la catena: questo accade in quanto i segnali, attraversando ogni elemento, subiscono amplificazioni e si presentano, quindi, ai blocchi successivi con potenze maggiori, richiedendo, allora, per essi prestazioni elevate in termini di linearità. Infatti il valore di *IIP3* stimato per l'LNA è piuttosto basso e vale -5 dBm. Il dimensionamento del mixer in termini di *IIP3* risulta, invece, più critico in quanto il blocco che lo precede non effettua alcun filtraggio delle interferenti, che, anzi, subiscono un'amplificazione di 22 dB: pertanto, il valore di *IIP3* richiesto al mixer è piuttosto alto e vale 8 dBm. Le richieste di linearità del primo amplificatore a guadagno variabile e del filtro sono piuttosto elevate: in particolare, il VGA1 deve garantire un'*IIP3* di 14 dBm, il filtro di 25 dBm. In letteratura esistono, tuttavia, esempi di VGA e filtri di Butterworth molto lineari, a fronte di un elevato consumo di potenza: $IIP3_{VGA} = 19$ dBm in [15], 27 dBm in [16], 29 dBm in [28]; $IIP3_{Filtro} = 38$ dBm in [31].

L'azione filtrante del Butterworth e la conseguente attenuazione massima delle interferenti rende, invece, la specifica del VGA2 più rilassata, richiedendo per esso un valore di *IIP3* di 0 dBm.

Tutti questi parametri sono utilizzati per calcolare la specifica di *IIP3* totale del ricevitore all'ingresso dell'amplificatore a basso rumore: sostituendoli nell'equazione 4.5, il valore di $IIP3_{int}$ ottenuto è pari a -15.8 dBm. Riportandolo in antenna, si ottiene $IIP3_{ant} = -12.8$ dBm.

La figura 4.5 mostra la distribuzione dei contributi percentuali di linearità del terzo ordine dovuti ai vari blocchi della catena.

Il contributo maggiore è quello del mixer: infatti, le due interferenti che generano il prodotto di intermodulazione del terzo ordine (e che si trovano ad un

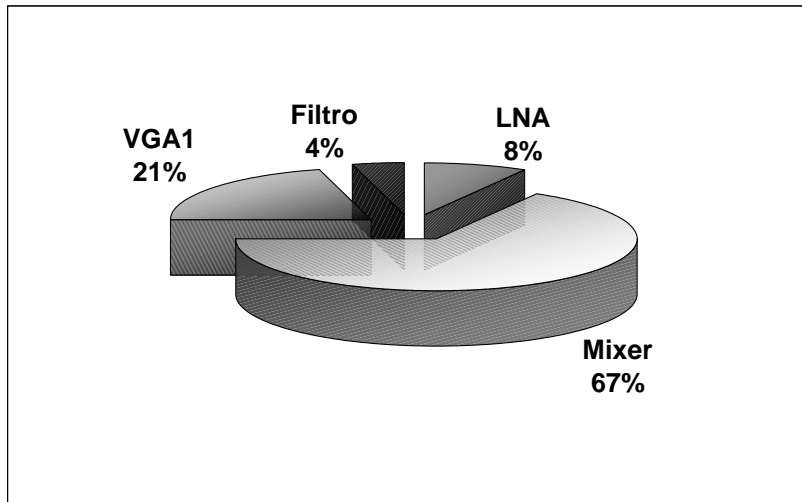


Figura 4.5: Distribuzione percentuale dei contributi all'IIP3 per l'architettura Low-IF

offset di 800 kHz e di 1600 kHz dal segnale desiderato, secondo quanto descritto nel paragrafo 2.2.2), si presentano all'ingresso del mixer non ancora filtrate ma amplificate dall'LNA. Un contributo non trascurabile alla linearità complessiva del terzo ordine proviene da due blocchi di banda base, VGA1 e filtro, che insieme coprono il 25% dell'IIP3 totale: infatti, essi trovano al loro ingresso interferenti con potenze elevate e solo parzialmente attenuate, come descritto sopra.

IIP2

Nel dimensionamento dell'LNA le linearità del secondo ordine sono trascurabili: infatti, si suppone l'esistenza di una capacità all'uscita dell'LNA stesso che realizza un'accoppiamento AC con il mixer e che, insieme all'impedenza dello stadio successivo, effettua un opportuno filtraggio passa-alto che elimina eventuali disturbi presenti in banda base. Si noti come tale discorso non valga più per i blocchi successivi al mixer in quanto, dato che il segnale non si trova più a RF ma è stato traslato a frequenze più basse, servirebbero capacità integrate troppo elevate per effettuare il filtraggio HP senza perdere l'informazione. A partire dal mixer, le prestazioni di linearità del secondo ordine diventano, quindi, importanti.

La richiesta di linearità per il mixer è particolarmente stringente: esso deve garantire un valore di $IIP2$ di 70 dBm. Anche i blocchi di banda base devono garantire una buona linearità di secondo ordine: per il VGA1 viene stimata un' $IIP2$

di 60 dBm, per il filtro di 50 dBm. Tale richiesta è facilmente realizzabile in banda base tramite l'adozione di topologie differenziali e l'utilizzo di dispositivi a grande area per ottenere un ottimo *matching*. Essendo preceduto dal filtro, il VGA2 ha un valore di $IIP2$ più rilassato dei blocchi che lo precedono.

Utilizzando l'equazione 4.6 è possibile calcolare l' $IIP2_{int}$ totale del ricevitore dall'LNA all'ADC: dal dimensionamento proposto si ottiene un valore di 47.1 dBm. Riferendo tale valore all'antenna del ricevitore, si trova $IIP2_{ant} = 50.1$ dBm.

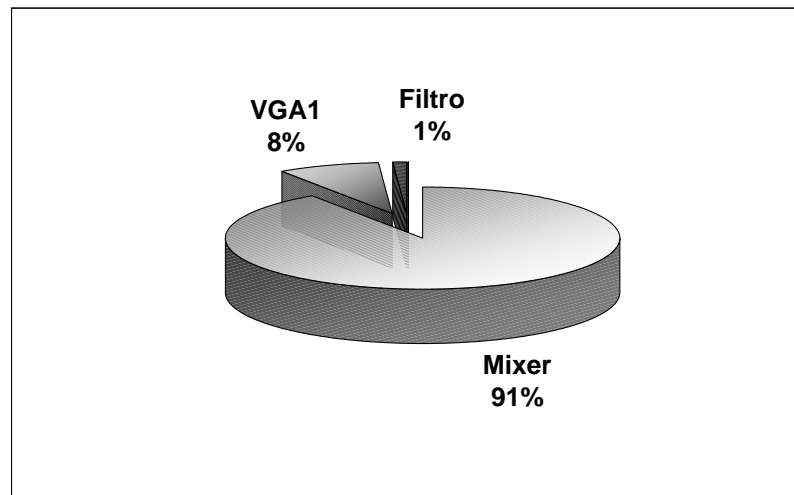


Figura 4.6: Distribuzione percentuale dei contributi all' $IIP2$ per l'architettura Low-IF

La figura 4.6 mostra come l' $IIP2$ totale sia praticamente determinata dalle prestazioni del mixer: infatti, l'interferente che genera i prodotti di intermodulazione di secondo ordine e le cui specifiche si ricavano dal test descritto nel paragrafo 2.2.3, si trova in banda base ad una frequenza superiore a 5.9 MHz e la funzione di trasferimento del mixer, caratterizzata da un polo a 600 kHz, è in grado di filtrarla significativamente. Essa, allora, si presenterà molto attenuata all'ingresso dei blocchi successivi, il cui contributo, infatti, è meno importante e la cui $IIP2$ equivalente, come mostrato in tabella 4.3, è più grande di quella effettivamente posseduta, a causa dell'azione filtrante dei blocchi.

	IIP2 [dBm]	IIP2 _{eq} [dBm]
VGA1	60	100
Filtro	50	130
VGA2	0	308

Tabella 4.3: IIP2 e IIP2 equivalente nei blocchi di banda base dell'architettura Low-IF

4.3.3 Dimensionamento nelle condizioni previste dal test di massimo segnale e di canale adiacente ed alternato

Come descritto nel paragrafo 4.2.4, in presenza del massimo segnale consentito dallo standard, il ricevitore deve presentare un guadagno totale minimo G_{min} , pari a 15 dB. Come ricavato dal profilo di banda base, invece, il ricevitore in presenza del canale alternato deve, invece, presentare un guadagno G^* pari a 52 dB.

I 15 dB minimi si suddividono tra i vari blocchi della catena, facendo in modo che la massima dinamica d'*uscita* di ogni elemento sia inferiore a 0 dBm ed inferiore di 3 dB di margine all' $1dB_{CP}|_{out}$ ricavato a partire dall'equazione 4.11. Quest'ultima condizione porta alla modifica del valore di $IIP3$ del secondo amplificatore a guadagno variabile, che passa da 0 dBm a 12 dBm. L'aumento di linearità è tipicamente ottenibile mediante l'adozione di opportuni circuiti [32].

Nel caso di presenza del canale alternato, invece, il guadagno deve essere ridotto di 23 dB (75 dB - 52 dB) rispetto al caso di massimo guadagno. Essi si sottraggono ai due amplificatori a guadagno variabile, che passano, rispettivamente, da 12 a 4 dB e da 20 a 5 dB. Questo porta alla modifica dell' $IIP3$ del VGA2, che in questo caso deve essere pari a 5 dBm, per fare in modo che il massimo segnale all'uscita abbia una potenza dimezzata rispetto a quella dell' $1dB_{CP}|_{out}$. Il passo con cui i VGA possono cambiare il guadagno varia a seconda della loro realizzazione e può essere anche molto fine (1 dB in [28]).

La tabella 4.4 riporta l'intervallo di variazione del guadagno richiesto a ciascun blocco ed il guadagno G^* . La figura 4.7 mostra l'andamento della potenza del massimo segnale durante la propagazione lungo la catena di ricezione.

	G_{\max} [dB]	G^* [dB]	G_{\min} [dB]	ΔG
LNA	22	22	10	12
Mixer	9	9	6	3
VGA1	12	4	-3	15
Filtro	15	15	4	11
VGA2	20	5	-2	22

Tabella 4.4: Guadagni richiesti ad ogni blocco della catena nell'architettura Low-IF

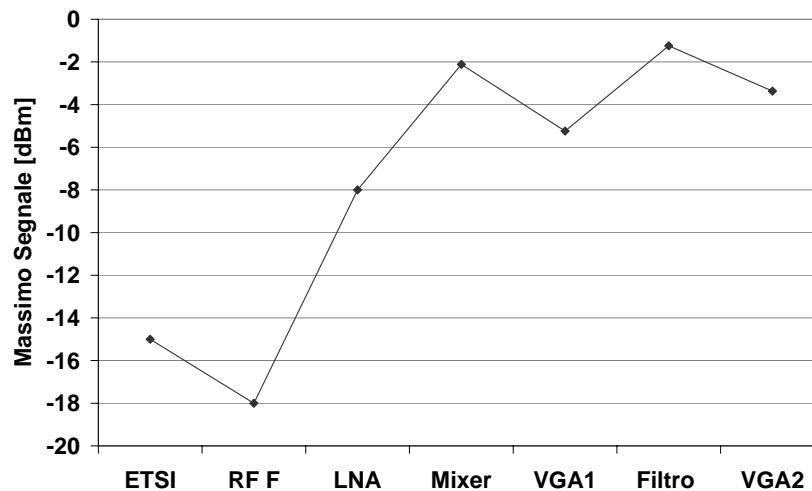


Figura 4.7: Propagazione del massimo segnale nell'architettura Low-IF

4.3.4 Considerazioni sul dimensionamento

Nella figura 4.8 è rappresentata la propagazione attraverso la catena di ricezione della sensibilità e di alcune interferenti previste dal test di blocking nelle condizioni di massimo guadagno della catena, e dei canali adiacente ed alternato per un guadagno totale pari a G^* . Tutti i segnali hanno una potenza minore di 0 dBm: il dimensionamento rispetta, quindi, la condizione imposta. Dall'analisi del grafico si vede che la sensibilità ed il canale adiacente, che è posto alla frequenza dell'immagine del segnale desiderato, sono caratterizzati dallo stesso andamento, ad eccezione dei punti in corrispondenza dei due VGA, che hanno un diverso guadagno per il canale alternato, in quanto la cancellazione dell'immagine nell'architettura Low-IF si completa nel dominio digitale con la ricombinazione dei due

cammini di ricezione.

Dal grafico si nota anche che la potenza delle interferenti in banda base prima del filtro è abbastanza elevata: questo, infatti, ha comportato un aumento della linearità richiesta ai blocchi successivi al mixer.

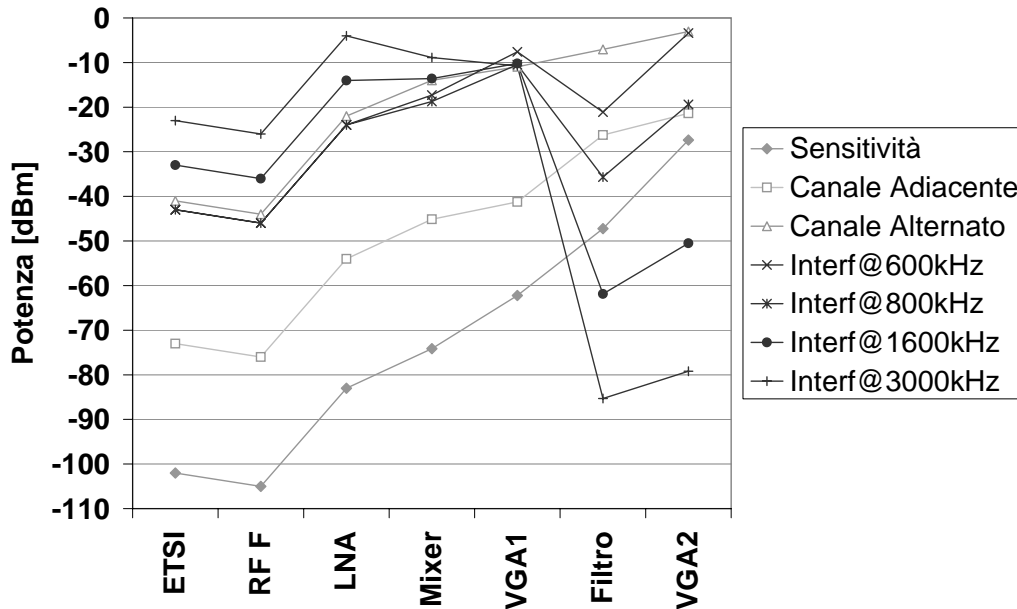


Figura 4.8: Propagazione dei principali segnali nell'architettura Low-IF

Nella figura 4.9 è mostrato, invece, l'andamento del rapporto segnale-rumore lungo la catena di ricezione: esso diminuisce in quanto il rumore totale aumenta al passaggio di ogni blocco della quantità di rumore introdotta dallo stesso. Il valore all'uscita del convertitore analogico-digitale è pari a 6.7 dB, che, dopo la ricombinazione dei due rami, diventa $6.7 + 3 = 9.7$ dB. Se l'LNA fosse caratterizzato da una $NF = 2$ dB [33], si otterrebbero i 10 dB di SNR_{out} necessari per poter utilizzare un demodulatore sub-ottimo, secondo quanto descritto nel paragrafo 2.2.1.

Il comportamento del ricevitore è principalmente determinato dall'LNA, dal mixer ed, in buona parte, anche dal primo amplificatore a guadagno variabile. Il blocco che richiede le prestazioni più critiche da realizzare è il mixer, in quanto esso deve essere poco rumoroso e caratterizzato da un'elevato valore di $IIP2$.

In conclusione, il dimensionamento proposto porta a risultati che ben soddisfano le specifiche dedotte dallo standard, come riassunto nella tabella 4.5. Esse

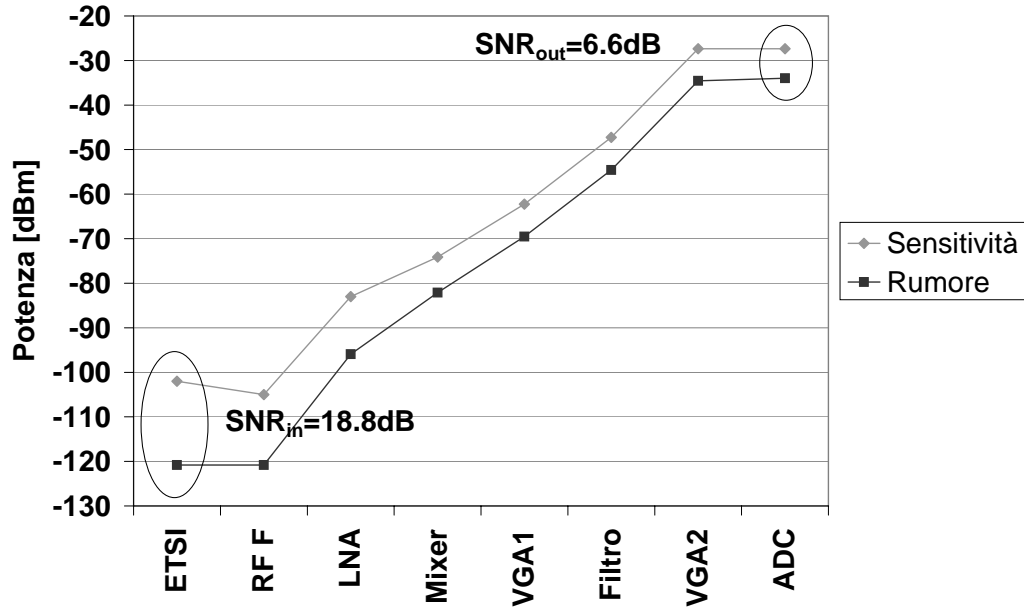


Figura 4.9: Propagazione della sensibilità e del rumore nell'architettura Low-IF

sono tutte riferite all'ingresso del ricevitore integrato, cioè all'uscita del filtro RF.

	Specifica	Dimensionamento
NF [dB]	6.8	6.1
IIP3 [dBm]	-21	-15.8
IIP2 [dBm]	46	47.1

Tabella 4.5: Confronto tra specifiche dedotte dallo standard e prestazioni conseguenti al dimensionamento effettuato per l'architettura Low-IF

4.4 Dimensionamento dell'architettura Low-IF con filtro complesso

In questo paragrafo è illustrato il dimensionamento del ricevitore implementato con l'architettura Low-IF con filtro complesso, ripercorrendo i vari passi descritti nel paragrafo 4.2, con l'obiettivo di rispondere alle specifiche dedotte dallo standard. In commercio esistono prodotti realizzati con tale architettura [34].

4.4.1 Filtraggio di banda base e dimensionamento del convertitore

Il primo passo del dimensionamento consiste nella definizione del profilo di filtraggio di banda base; anche in questo tipo di architettura, come mostrato in figura 3.18, il segnale in banda base si trova tra 0 e 200 kHz. La suddivisione tra i blocchi della catena di ricezione dell'attenuazione totale massima, pari a 3 dB alla frequenza di 200 kHz, è stata fatta in modo che 2 dB fossero attribuiti al filtro complesso stesso, un Butterworth, che, in questa architettura, è responsabile non soltanto del maggior filtraggio delle interferenti, ma anche della reiezione d'immagine. Il filtro complesso è ottenuto applicando ad un filtro Butterworth LPF *reale* del quarto ordine la traslazione in frequenza data dall'equazione 3.19, e si configura, quindi, come un filtro BPF *complesso* dell'ottavo ordine. Le scelte operate hanno portato alla definizione delle frequenze di polo riportate in tabella 4.6.

Blocchi	f_{polo} [kHz]
Mixer	480
VGA1	1070
Filtro	110
VGA2	1070

Tabella 4.6: Frequenze di polo per i blocchi con azione filtrante nell'architettura Low-IF con filtro complesso

In figura 4.10 è mostrato in modo qualitativo il profilo in frequenza del filtraggio complesso. In questa architettura il suo ordine è determinato in funzione dell'attenuazione che si vuole realizzare sull'immagine, posta, nella rappresentazione bilatera dello spettro, a -100 kHz, per ottenere la IR dedotta dallo standard e pari, come ricavato nell'equazione 3.17, a 20 dB. Dalla figura 4.10 si evince che più è grande l'ordine del filtraggio complesso, maggiore è la IR ottenuta sull'immagine. Fissate le attenuazioni dovute ai vari blocchi secondo quanto descritto dalla tabella 4.6 e facendo variare l'ordine N del filtro, dalla tabella 4.7 si deduce che è proprio la scelta $N = 4$ che rispetta la condizione di avere un'attenuazione maggiore di 20 dB alla frequenza dell'immagine.

Nella figura 4.11 è mostrato il profilo dei segnali in banda base dopo il filtraggio effettuato dalla catena di ricezione nel caso di spettro bilatero (a) e monolatero (b). Per determinare le attenuazioni sui vari segnali dovute al filtro complesso, si è

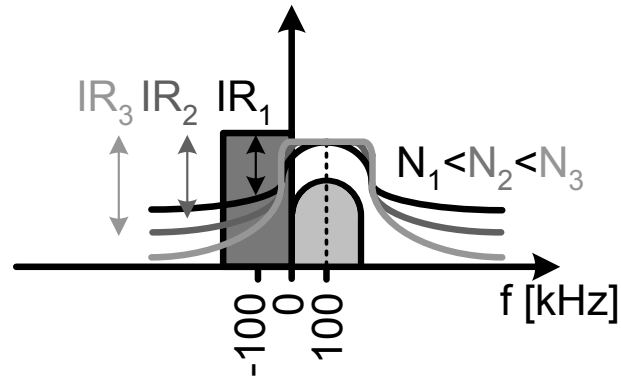


Figura 4.10: Attenuazione del filtro Butterworth complesso sull'immagine

N	IR [dB]
2	10.4
3	16.1
4	22.0

Tabella 4.7: Ordine del filtro complesso e reiezione d'immagine corrispondente

tenuto conto del fatto che esso non è simmetrico rispetto all'origine, ma è centrato alla frequenza del segnale desiderato in banda base, cioè a 100 kHz.

Con il filtraggio ipotizzato, la potenza equivalente delle interferenti in banda base è minore rispetto a quella del segnale desiderato, pari a -99 dBm in presenza delle interferenti previste da test di blocking e a -82 dBm in presenza del canale adiacente ed alternato. In entrambi i casi, la sensibilità si configura, quindi, come il più grande segnale presente all'ingresso del convertitore. Questa è una situazione ottimale, in quanto la dinamica dell'ADC non è più determinata da un'interferente, come nel caso dell'architettura Low-IF, ma dallo stesso segnale desiderato, che determina un valore di *SNDR* di 35 dB, al quale corrisponde un numero di bit dell'ADC pari a 6. Per ottenere la stessa situazione nel caso dell'architettura Low-IF, si dovrebbe aumentare l'effetto del filtraggio della catena: ad esempio, mantenendo le stesse prestazioni degli altri blocchi e modificando solo l'ordine del filtro Butterworth utilizzato, si dovrebbe ricorrere ad uno del sesto ordine per ottenere il risultato raggiunto con l'architettura Low-IF con filtro complesso, con conseguente aumento di area e di potenza.

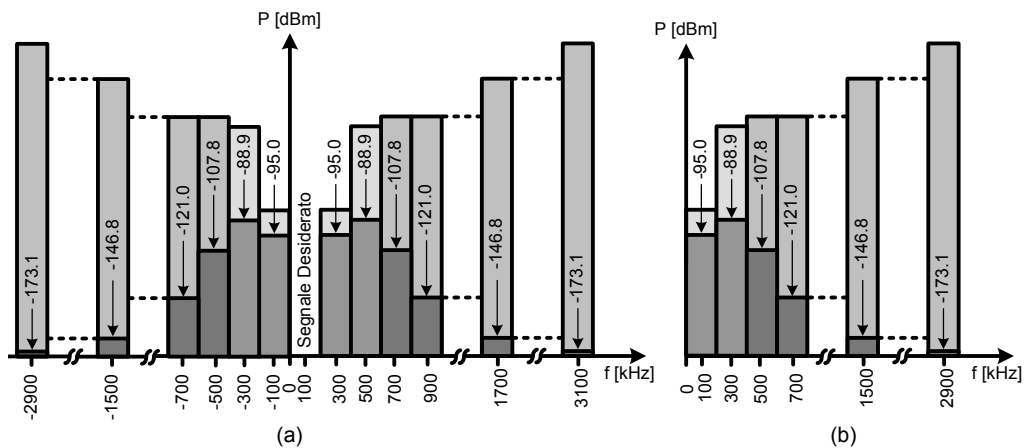


Figura 4.11: Effetto, nella rappresentazione bilaterale (a) e monolaterale (b) dello spettro, del filtraggio ipotizzato nell'architettura Low-IF con filtro complesso

La scelta della frequenza di campionamento f_s dell'ADC si basa sull'analisi della figura 4.11: anche in questo caso, se si utilizza una frequenza di campionamento $f_s > 1.5$ MHz, la potenza ripiegata sul segnale per effetto dell'*aliasing* è sicuramente ≤ -146.8 dBm ed è, quindi, trascurabile rispetto all' N_{floor} .

Il guadagno totale determinato nelle condizioni del test di blocking è trovato sulla base della potenza della sensibilità aumentata di 3 dB, dato che, a causa dell'effetto del filtraggio, essa risulta più grande delle interferenti: in base all'equazione 4.10, esso risulta pari a circa 96 dB. Nel caso di test di canale adiacente ed alternato, il guadagno ottenuto, determinato anche in questo caso dalla sensibilità, qui aumentata di 20 dB, è pari a $G^* = 79$ dB, ed è quindi minore rispetto al guadagno ricavato nelle condizioni del test di blocking. Quest'ultimo è, allora, il guadagno totale massimo G_{max} della catena di ricezione, e deve essere opportunamente suddiviso tra i vari blocchi. Il valore del rumore del convertitore riportato al suo ingresso è, infine, pari a $39.7 \mu V_{rms}/\sqrt{Hz}$.

4.4.2 Dimensionamento dei singoli blocchi

I dati relativi al dimensionamento dei singoli blocchi per l'architettura Low-IF con filtro complesso sono mostrati nella tabella 4.8: essi sono da tutti riferiti al loro ingresso.

		LNA	Mixer	VGA1	Filtro	VGA2
Guadagno	[dB]	21	12	16	25	25
Rumore	[$nV_{\text{rms}}/\sqrt{\text{Hz}}$]	0.45	6	15	20	20
IIP3	[dBm]	-5	7	15	25	0
IIP2	[dBm]	--	70	55	50	0

Tabella 4.8: Dimensionamento del ricevitore per l'architettura Low-IF con filtro complesso

Guadagno e rumore

Il dimensionamento del rumore dei singoli blocchi è analogo a quello fatto per l'architettura Low-IF: l'LNA, insieme all'eventuale *balun*, è ancora caratterizzato da una cifra di rumore di 3 dB, che corrisponde ad una densità di rumore in ingresso di $0.45 \text{ nV}_{\text{rms}}/\sqrt{\text{Hz}}$. Il mixer ed il VGA1 mantengono le specifiche determinate nella precedente topologia, cioè, rispettivamente, $6 \text{ nV}_{\text{rms}}/\sqrt{\text{Hz}}$ e $15 \text{ nV}_{\text{rms}}/\sqrt{\text{Hz}}$, così come il filtro ed il secondo amplificatore a guadagno variabile, che sono, invece, caratterizzati da una densità di rumore pari a $20 \text{ nV}_{\text{rms}}/\sqrt{\text{Hz}}$. Un aumento del rumore di questi ultimi a $30 \text{ nV}_{\text{rms}}/\sqrt{\text{Hz}}$ non compromette, tuttavia, in modo significativo il valore di cifra di rumore trovata all'ingresso del ricevitore, che passa da 6.1 dB a 6.2 dB. In questa architettura cambia, invece, la distribuzione dei guadagni nel rispetto del nuovo guadagno totale del ricevitore, di ben 21 dB superiore in confronto alla topologia precedente grazie alla più efficace azione filtrante del filtro complesso, che attenua più pesantemente le interferenti previste dallo standard.

La figura di rumore NF_{int} trovata all'ingresso del ricevitore, secondo l'equazione 4.4, sulla base di questo dimensionamento, è pari a 6.2 dB. Essa, riportata in antenna, risulta uguale a $NF_{\text{ant}} = 9.2 \text{ dB}$. In figura 4.12 sono riportati i contributi percentuali dei vari blocchi all'NF del ricevitore.

In questo caso il rumore del solo circuito integrato è determinato per il 75% dalla sezione RF della catena di ricezione, costituita da LNA e mixer. Diminuiscono, invece, i contributi del VGA1 e del filtro, in quanto, per essere riportati in ingresso, sono ridotti di un guadagno maggiore rispetto all'architettura Low-IF.

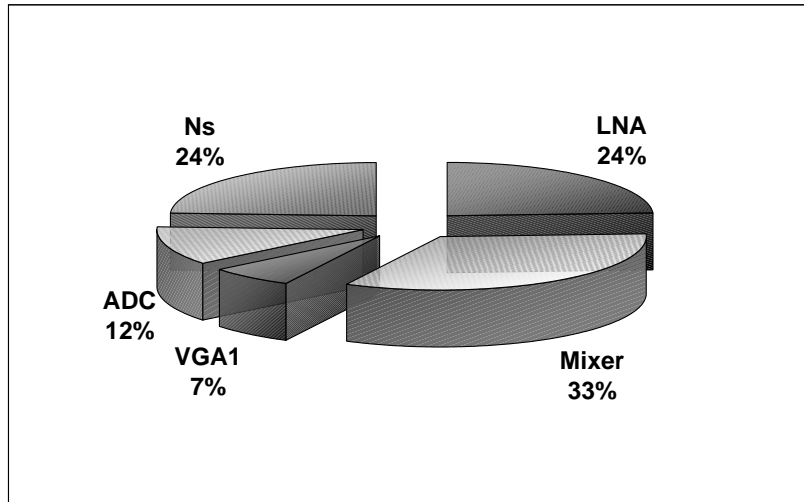


Figura 4.12: Contributi percentuali sulla NF per l'architettura Low-IF con filtro complesso

IIP3

Il valore di $IIP3$ assegnato all'LNA vale anche in questo caso -5 dBm, dato che le potenze dei segnali che si presentano al suo ingresso sono le stesse, indipendentemente dall'architettura analizzata. La linearità di terzo ordine richiesta al mixer, 7 dBm, è inferiore rispetto alla precedente topologia di ricezione in quanto le interferenti sono amplificate di meno dall'LNA. Maggiore è, invece, il valore di $IIP3$ richiesto al primo amplificatore a guadagno variabile, pari a 15 dBm. Il filtro mantiene il valore di 25 dBm: anche in questo caso le prestazioni in termini di linearità richieste ai blocchi di banda base, ad eccezione del VGA2 che, grazie all'attenuazione introdotta dal filtro complesso, può rilassare il suo valore di $IIP3$ ($IIP3 = 0$ dBm), sono elevate in quanto le interferenti sono disposte in frequenza, per come è fatta l'architettura, relativamente vicino al segnale desiderato, per cui il filtraggio della catena non può ridurle drasticamente, a meno di perdere parte dell'informazione portata dal canale desiderato.

L' $IIP3_{int}$ totale trovata con questi valori applicando l'equazione 4.5 è pari a -16.4 dBm. Quindi l' $IIP3_{ant}$ vale -13.4 dBm.

La figura 4.13 mostra i contributi percentuali all' $IIP3$ totale dei singoli blocchi forniti dal programma di simulazione.

Dall'analisi della figura 4.13 si ricava che l' $IIP3$ totale è determinata per il 65%

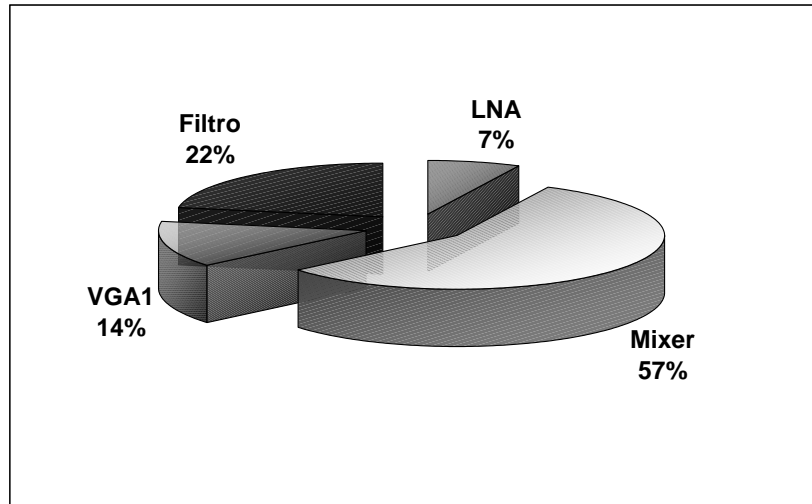


Figura 4.13: Distribuzione percentuale dei contributi all'IIP3 per l'architettura Low-IF con filtro complesso

circa dalla sezione RF (LNA e mixer) e per il restante 35% dai blocchi di banda base VGA1 e filtro. Nella tabella 4.9 sono confrontati i valori di IIP3 effettiva e di IIP3 equivalente di ciascun blocco.

	IIP3 [dBm]	IIP3 _{eq} [dBm]
VGA1	15	25
Filtro	25	39
VGA2	0	131

Tabella 4.9: IIP3 e IIP3 equivalente nei blocchi di banda base dell'architettura Low-IF con filtro complesso

IIP2

I valori di *IIP2* assegnati ai singoli blocchi sono analoghi a quelli ricavati nell'architettura Low-IF, ad eccezione del primo amplificatore a guadagno variabile, la cui linearità del secondo ordine è rilassata, dal momento che il filtraggio del mixer, che presenta una frequenza di polo inferiore al caso precedente, è più efficace; il valore di *IIP2* scelto per tale blocco è di 50 dBm.

L' $IIP2_{int}$, ricavata inserendo quella dei singoli elementi della catena nell'equazione 4.6, è pari a 46.5 dBm. L' $IIP2_{ant}$ vale, allora, 49.5 dBm.

Dall'analisi della figura 4.14 si nota che il contributo dominante all' $IIP2$ totale è dovuto al mixer (84%); il restante 16% è coperto dal VGA1 e, in misura minore, dal filtro. In tabella 4.10 sono mostrati i valori di $IIP2$ equivalenti dei blocchi di banda base.

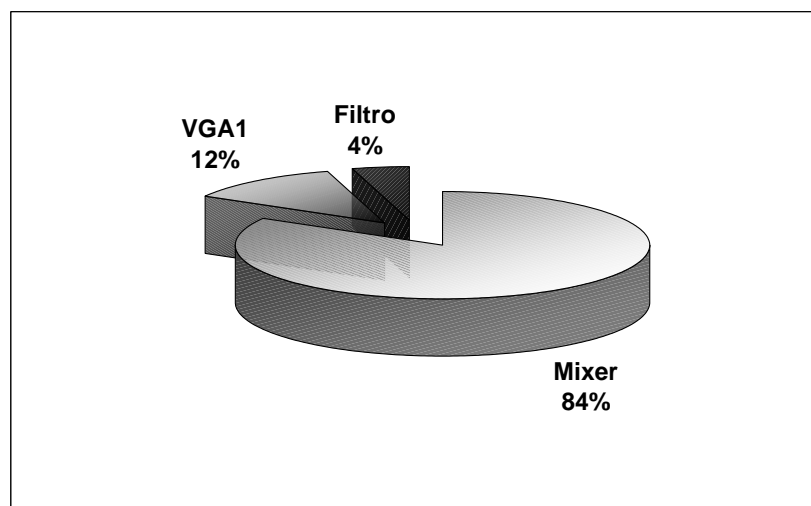


Figura 4.14: Distribuzione percentuale dei contributi all' $IIP2$ per l'architettura Low-IF con filtro complesso

	$IIP2$ [dBm]	$IIP2 _{eq}$ [dBm]
VGA1	60	99
Filtro	55	124
VGA2	0	353

Tabella 4.10: $IIP2$ e $IIP2$ equivalente nei blocchi di banda base dell'architettura Low-IF con filtro complesso

4.4.3 Dimensionamento nelle condizioni previste dal test di massimo segnale e di canale adiacente ed alternato

I 15 dB previsti come minimo guadagno totale del ricevitore sono suddivisi tra i vari blocchi nello stesso modo dell'architettura Low-IF, dando luogo ad un analogo

andamento del massimo segnale lungo la catena. Anche in questo caso l'unico valore di $IIP3$ da modificare è quello del VGA2, che passa da 0 dBm a 12 dBm, in modo da soddisfare la condizione data dall'equazione 4.11.

In presenza, invece, del canale adiacente ed alternato, il guadagno del ricevitore G^* è determinato anche in questo caso, come già notato, dalla sensibilità, che qui è aumentata di 20 dB: esso è pari a 79 dB. Per soddisfare questo valore, entrambi i guadagni dei due amplificatori a guadagno variabile sono stati ridotti a 12 dB; in questa condizione non è, tuttavia, richiesto nessun cambiamento delle $IIP3$ dei due VGA.

Rispetto alla precedente architettura, le uniche differenze per quanto riguarda il dimensionamento in termini di guadagno dei vari blocchi sono, quindi, costituite dalle variazioni di guadagno richieste a ciascuno di essi, riportate in tabella 4.11: esse sono maggiori rispetto a quelle della precedente topologia di ricezione.

	G_{\max} [dB]	G^* [dB]	G_{\min} [dB]	ΔG
LNA	21	21	10	11
Mixer	12	12	6	6
VGA1	16	12	-3	17
Filtro	25	25	4	17
VGA2	25	12	-2	23

Tabella 4.11: Guadagni richiesti ad ogni blocco della catena nell'architettura Low-IF con filtro complesso

4.4.4 Considerazioni sul dimensionamento

Nella figura 4.15 è mostrata la propagazione dei principali segnali attraverso la catena di ricezione, riportando le loro potenze all'uscita di ogni blocco.

In questo caso il segnale desiderato arriva all'uscita del VGA2 con una potenza maggiore rispetto a quella degli altri segnali, in quanto la ricezione non è effettuata in dominio digitale, dopo l'ADC, ma è realizzata in dominio analogico dal filtro complesso. Per apprezzare, tuttavia, meglio l'attenuazione del filtro sull'immagine, che si trova alla frequenza del canale adiacente, si dovrebbe aumentare il segnale desiderato, che in figura è riportato alla potenza iniziale definita dallo standard (-102 dBm), di 20 dB, e farlo propagare secondo il guadagno G^* , previsto nelle condizioni del test di canale adiacente ed alternato.

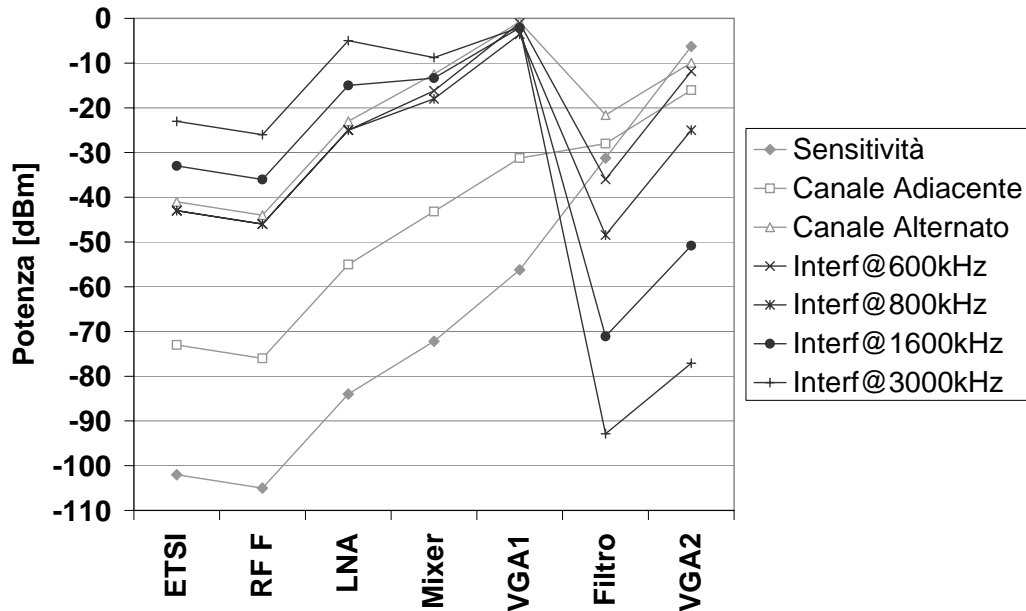


Figura 4.15: Propagazione dei principali segnali nell'architettura Low-IF con filtro complesso

Dal grafico si nota anche il maggior filtraggio operato da questa catena rispetto all'architettura Low-IF: l'attenuazione delle interferenti dopo il passaggio attraverso il filtro è più netta di quella della figura 4.8. Anche in questa architettura, il filtraggio operato dal VGA1 non è sufficiente a rilassare le specifiche di linearità del filtro, a causa della relativa prossimità in frequenza tra il segnale desiderato e le interferenti.

L'andamento del rapporto segnale-rumore è mostrato in figura 4.16: il valore di SNR ottenuto all'uscita del convertitore è pari a 9.1 dB. Si ricorda che la ricombinazione dei due cammini di ricezione avviene mediante il filtro complesso, all'uscita del quale è, infatti, presente, come illustrato in figura 2.13, solo un VGA2 ed un ADC. Pertanto all'uscita del filtro complesso il SNR è aumentato di 3 dB, per tener conto della cancellazione del rumore dell'immagine operata dallo stesso filtro complesso. Utilizzando, anche in questo caso, un LNA avente prestazioni migliori dal punto di vista del rumore ($NF_{LNA} = 2dB$, di cui 0.5 dB dell'eventuale *balun* [33]) si otterrebbero i 10 dB di SNR_{out} necessari per poter utilizzare un demodulatore sub-ottimo.

Anche in questa architettura di ricezione i blocchi che determinano le presta-

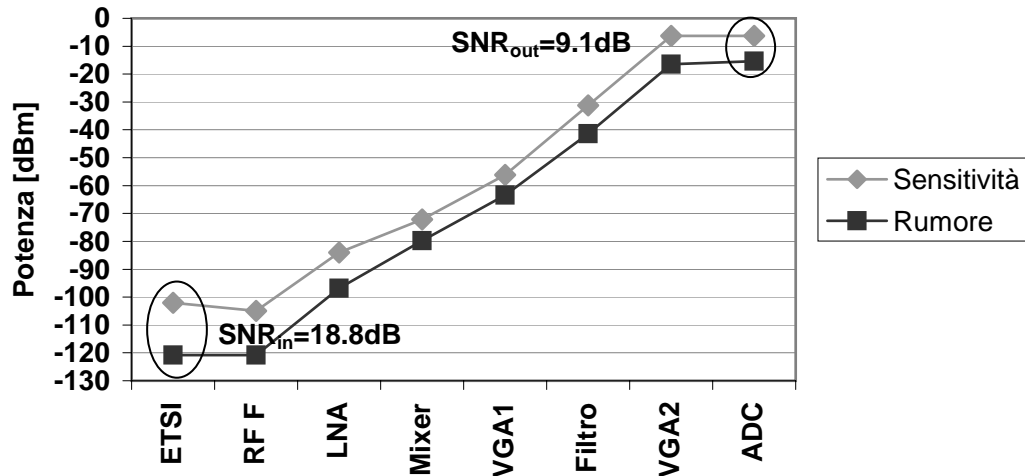


Figura 4.16: Propagazione della sensibilità e del rumore nell'architettura Low-IF con filtro complesso

zioni del ricevitore sono principalmente il mixer, l'LNA seguiti dal VGA1 e dal filtro. Quest'ultimo ha, però, una maggior peso rispetto all'architettura precedente: questo dipende dalla sua duplice funzione di blocco circuitale filtrante e di mezzo per realizzare la reiezione d'immagine necessaria per il buon funzionamento del ricevitore. L'elemento che richiede, invece, una progettazione accurata, date le sue specifiche più critiche da realizzare, è anche in questo caso il mixer.

Rispetto all'architettura Low-IF, in ultima analisi, ai blocchi circuitali sono richieste prestazioni simili. L'unica grande differenza è il filtro complesso che:

- realizza la reiezione d'immagine nel dominio analogico, mentre essa nell'architettura Low-IF si completava in quello digitale, dopo il convertitore analogico-digitale;
- consente di utilizzare, grazie alla ricombinazione dei due cammini di ricezione alla sua uscita, un solo VGA2 ed un solo ADC.

Per i suddetti motivi, tale architettura è da preferire alla Low-IF. Nella tabella 4.12, sono riassunti i risultati raggiunti con il dimensionamento effettuato: le specifiche dedotte dallo standard e riportate all'ingresso del ricevitore integrato (uscita filtro RF) sono pienamente rispettate.

	Specifica	Dimensionamento
NF [dB]	6.8	6.1
IIP3 [dBm]	-21	-16.4
IIP2 [dBm]	46	47.4

Tabella 4.12: Specifiche dedotte dallo standard e prestazioni conseguenti al dimensionamento effettuato per l'architettura Low-IF con filtro complesso

4.5 Dimensionamento dell'architettura a conversione diretta

In questo paragrafo è proposto il dimensionamento per l'architettura a conversione diretta di un ricevitore funzionante per lo standard GSM. Tale architettura è insolita per lo standard considerato per i noti svantaggi che essa comporta se implementata in tecnologia *CMOS*, come mostrato nel paragrafo 2.3.1. Infatti, i prodotti commerciali che adottano tale architettura [35] sono realizzati in altre tecnologie (tipicamente in *BiCMOS*), che sono di gran lunga più costose. Tuttavia, i miglioramenti ottenuti nella progettazione circuitale di alcuni blocchi critici hanno reso accessibile, in questo lavoro di tesi, l'adozione di tale topologia di ricezione per lo standard GSM.

4.5.1 Filtraggio di banda base e dimensionamento del convertitore

A differenza delle due architettura analizzate, nella conversione diretta il segnale desiderato occupa in banda base l'intervallo di frequenze comprese tra 0 e 100 kHz, come mostrato in figura 3.19. La condizione dell'attenuazione totale massima è, quindi, imposta alla frequenza di 100 kHz, anziché di 200 kHz: i 3 dB ipotizzati sono divisi tra i vari blocchi della catena in modo che la maggior azione filtrante sia realizzata dal mixer, così da rilassare il più possibile le richieste di linearità dei blocchi di banda base, e dal filtro di Butterworth, come mostrato in tabella 4.13

Sostituendo i valori delle attenuazioni del mixer e dei due amplificatori a guadagno variabile nell'equazione 4.1, si ottengono le frequenze di taglio dei blocchi considerati, che valgono, rispettivamente, 150 kHz, 320 kHz e 150 kHz. Per quanto riguarda il filtro, invece, utilizzando l'equazione 4.2, si è fatto variare l'ordine N dello stesso per valutare, in funzione del profilo di banda base ricavato ogni volta,

Blocchi	α [dB]
Mixer	1.6
VGA1	0.4
Filtro	0.8
VGA2	0.2

Tabella 4.13: Attenuazioni dei blocchi con azione filtrante nell'architettura a conversione diretta

il numero di bit del convertitore risultanti dall'equazione 4.8; i risultati ottenuti sono riportati in tabella 4.14.

Ordine N	Numero di bit n
2	8
3	6

Tabella 4.14: Ordine del filtro in funzione del numero di bit dell'ADC nell'architettura a conversione diretta

Dall'analisi della tabella 4.14 si nota come, rispetto alle precedenti architetture, il numero di bit sia inferiore, nonostante l'adozione di ordini di filtraggio minori. Il motivo di questo comportamento risiede nella traslazione in frequenza operata da questa topologia di ricezione, che prevede una maggior distanza in frequenza tra il segnale desiderato e le interferenti previste dallo standard: un esempio è mostrato in figura 4.17, in cui sono presi in considerazione il segnale desiderato e l'interferente distante da esso 600 kHz a RF. Dopo la traslazione operata dal mixer, la distanza in frequenza nello spettro di banda base tra il segnale desiderato e la prima intermodulante del test di blocking è pari a 400 kHz nell'architettura Low-IF con e senza filtro complesso (a), mentre è di 200 kHz superiore nella conversione diretta (b), essendo il segnale desiderato centrato attorno alla continua.

Questa maggior lontananza in frequenza dal segnale desiderato ha dei notevoli vantaggi rispetto alle architetture precedenti: infatti, consente di diminuire l'ordine del filtro, mantenendo un numero di bit dell'ADC minore o uguale a quello delle altre topologie e rilassando comunque le richieste di linearità dei blocchi di banda base. In questo lavoro di tesi si è scelto di effettuare il dimensionamento in entrambi i casi ($N = 2$ e $N = 3$): i grafici riportati in questo paragrafo sono, però,

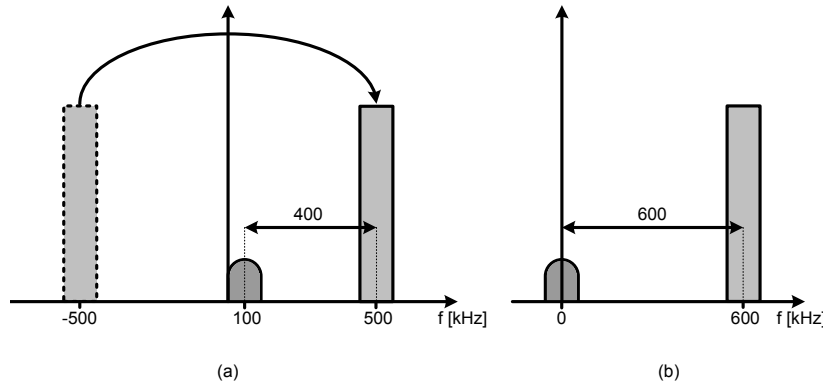


Figura 4.17: Distanza tra il segnale desiderato ed il primo interferente del test di blocking nell'architettura Low-IF (a) e nella conversione diretta (b)

tutti riferiti all'utilizzo di un filtro del secondo ordine, mentre nel paragrafo 4.5.3 sono esposte le analogie e le differenze che si hanno utilizzando un filtraggio di un ordine superiore.

La frequenza di polo del filtro di secondo ordine, in base all'attenuazione ad esso assegnata alla frequenza di 100 kHz, risulta pari, applicando l'equazione 4.2, a 150 kHz.

In figura 4.18 è mostrato lo spettro dei canali adiacente ed alternato e delle interferenti riportato in banda base dopo la traslazione effettuata dal mixer, tenendo conto dell'attenuazione totale della catena: questa è la situazione che si presenta all'ingresso della catena di ricezione, al netto del suo guadagno.

L'interferente posta a 600 kHz e avente una potenza di -90.3 dBm domina la dinamica del convertitore, che è caratterizzato da un $SNDR = 43.7$ dB e da un numero di bit, come già mostrato in tabella 4.14, pari a 8.

Per quanto riguarda la frequenza di campionamento f_s , un qualunque suo valore maggiore di 1.6 MHz rende la potenza prodotta dal fenomeno dell'*aliasing* sul segnale desiderato trascurabile rispetto all' N_{floor} , in quanto essa risulta ≤ -120.1 dBm.

Il guadagno totale della catena di ricezione, calcolato inserendo nell'equazione 4.10 la potenza dell'interferente a 600 kHz, è pari a circa 86 dB, valore maggiore rispetto ai 71 dB che si ottengono a partire dalla potenza del canale alternato. Pertanto, G_{max} vale 86 dB, che dovranno essere opportunamente suddivisi tra i vari blocchi della catena, mentre nelle condizioni del canale adiacente ed alternato, tale suddivisione dovrà essere modificata in modo tale che il guadagno totale valga

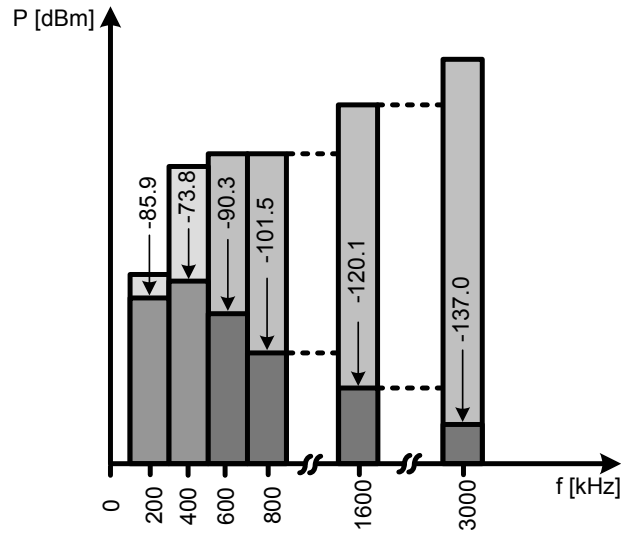


Figura 4.18: Effetto del filtraggio ipotizzato nell'architettura a conversione diretta

$$G^* = 71 \text{ dB.}$$

Il rumore che è presente all'ingresso del convertitore analogico-digitale è pari a $12.6 \mu\text{V}_{\text{rms}}/\sqrt{\text{Hz}}$.

4.5.2 Dimensionamento dei singoli blocchi

Nella tabella 4.15 sono riportati i dimensionamenti dei singoli blocchi che costituiscono la catena di ricezione analizzata. Tutte le specifiche sono da intendersi al loro ingresso.

		LNA	Mixer	VGA1	Filtro	VGA2
Guadagno	[dB]	22	12	18	15	22
Rumore	[$\text{nV}_{\text{rms}}/\sqrt{\text{Hz}}$]	0.45	6	15	20	20
IIP3	[dBm]	-5	7	11	10	0
IIP2	[dBm]	--	70	55	50	0

Tabella 4.15: Dimensionamento del ricevitore per l'architettura a conversione diretta

Guadagno e rumore

Il dimensionamento del rumore dei blocchi di questa topologia è identico a quello effettuato per l'architettura Low-IF con filtro complesso, ad eccezione del rumore del convertitore. Per quanto riguarda i guadagni, invece, per rispettare la condizione del guadagno totale pari a 86 dB, rispetto al caso precedente è cambiato il guadagno dell'LNA, aumentato di 1 dB e quello dei blocchi di banda base: infatti, il VGA1 guadagna 18 dB, il filtro 15 dB mentre il VGA2 22 dB.

Con questo dimensionamento, la figura di rumore trovata all'ingresso del ricevitore integrato vale $NF_{int} = 5.8$ dB; quella riportata in antenna è pari a $NF_{ant} = 8.8$ dB.

Dall'analisi della figura 4.19 si nota come anche in questo caso il rumore sia principalmente determinato dalle prestazioni del mixer e dell'LNA: infatti, mantenendo per essi pressochè gli stessi valori di rumore e di guadagno della precedente topologia, e ciò è reso possibile da opportune soluzioni circuitali per la sezione RF del ricevitore nate in ambito 3G e qui riadattate, la specifica di figura di rumore ottenuta all'ingresso del ricevitore integrato soddisfa ancora quella richiesta dallo standard ed è migliore rispetto a quella ricavata nell'architettura Low-IF con filtro complesso. Si noti come, in assenza di tali soluzioni circuitali, sarebbe stato impossibile mantenere le stesse prestazioni del *front-end* di ricezione della Low-IF con filtro complesso anche per la conversione diretta.

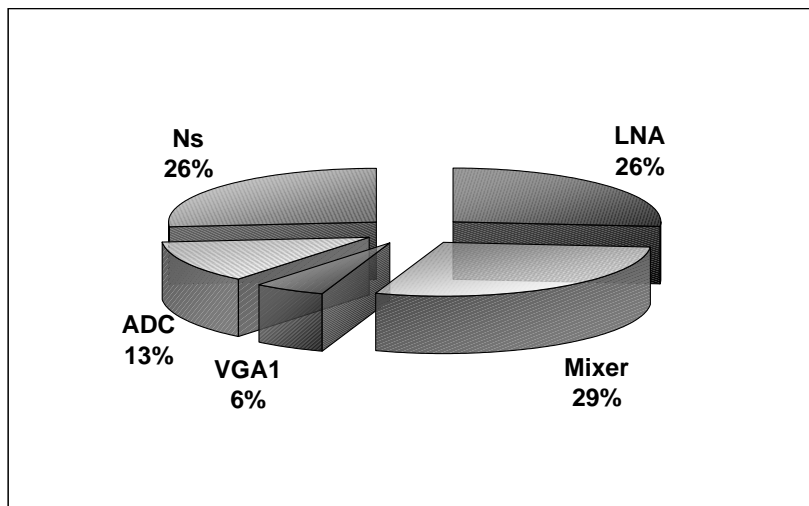


Figura 4.19: Contributi percentuali sulla NF per l'architettura a conversione diretta

IIP3

Nel dimensionamento della linearità di terzo ordine dei vari elementi della catena, rispetto alle precedenti topologie si è diminuita la richiesta sui blocchi di banda base: in particolare, l' $IIP3$ assegnata al VGA1 vale 11 dBm, quella del filtro 10 dBm. Questo è stato possibile grazie al maggior efficacia del filtraggio operato dai blocchi precedenti su segnali maggiormente distanti, rispetto alle altre architetture, da quello desiderato.

La specifica di $IIP3_{int}$ così ottenuta vale -15.7 dBm. L' $IIP3_{ant}$ è pari, allora, a -12.7 dBm.

Dall'analisi della suddivisione della linearità nei suoi vari contributi, riportata nella figura 4.20, si nota che in questa architettura il mixer ha un peso maggiore rispetto alle altre, in quanto determina l'85% dell' $IIP3$ del ricevitore; inoltre, i contributi dei blocchi di banda base sono meno significativi. Questa situazione è dovuta al polo a bassa frequenza del mixer, che rilassa le specifiche di linearità dei blocchi successivi. Tuttavia, l' $IIP3$ di questi ultimi deve essere sufficiente a soddisfare, in termini di $1dBCP$, la dinamica richiesta.

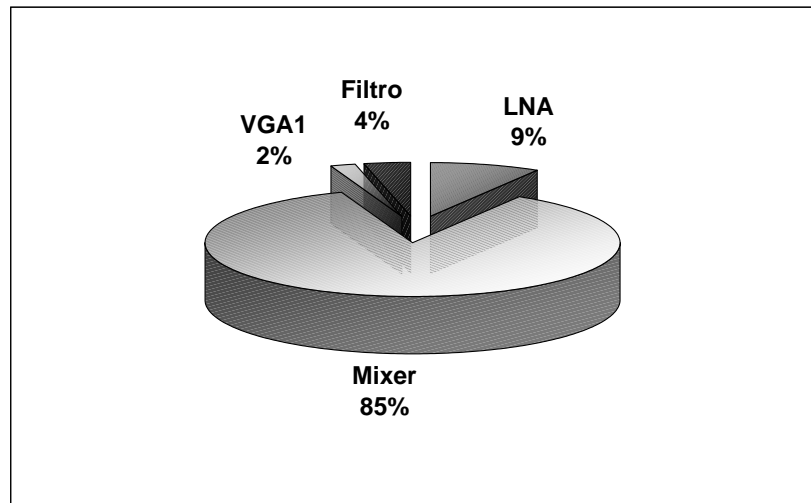


Figura 4.20: Distribuzione percentuale dei contributi all' $IIP3$ per l'architettura a conversione diretta

IIP2

Dall'analisi della figura 4.21 si nota come la linearità del secondo ordine del ricevitore sia praticamente determinata dal mixer soltanto, in quanto, avendo una risposta in frequenza del tipo passa-basso del primo ordine con il polo alla frequenza di 150 kHz, la sua attenuazione è più che sufficiente a rendere trascurabile l'intermodulante prevista dal test di soppressione di un disturbo AM, posta ad una frequenza maggiore di 6 MHz, e a rilassare l' $IIP2$ dei blocchi successivi.

Il valore di $IIP2_{int}$ ricavato in base all'equazione 4.6 è pari a 47.9 dBm. L' $IIP2_{ant}$ vale, allora, 50.9 dBm.

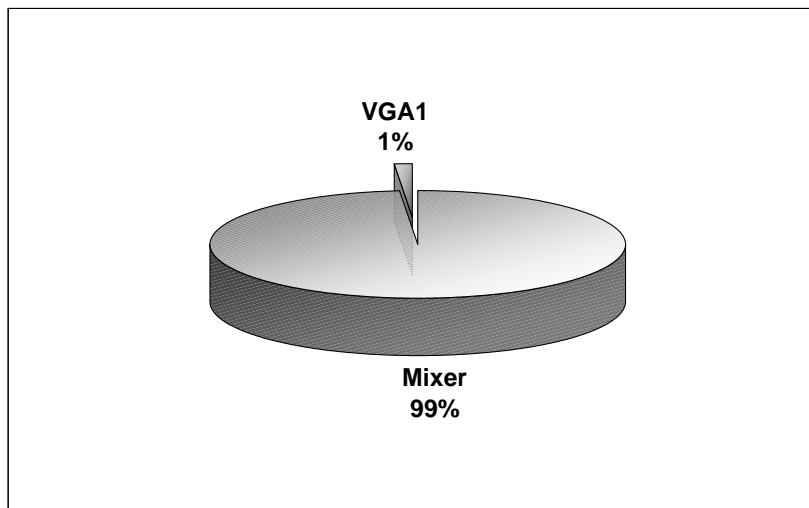


Figura 4.21: Distribuzione percentuale dei contributi all' $IIP2$ per l'architettura a conversione diretta

Dimensionamento nelle condizioni previste dal test di massimo segnale e di canale adiacente ed alternato

Anche in questo caso la suddivisione dei 15 dB di guadagno minimo è stata mantenuta uguale a quella delle precedenti architetture.

Il guadagno G^* è determinato in base alla potenza del canale alternato, pari a circa -74 dBm: esso è pari a 71 dB. In questo caso i guadagni assunti dai due amplificatori a guadagno variabile valgono rispettivamente 12 dB e 13 dB, mentre non è necessario cambiare le loro $IIP3$ in quanto esse sono sufficientemente elevate da rispettare la condizione data dall'equazione 4.11 anche con un minor guadagno.

L'unica differenza rispetto alle topologie di ricezione precedenti, oltre alla diversa frequenza del segnale massimo, che è centrato attorno alla continua in banda base, consiste nelle diverse variazioni di guadagno dei blocchi successivi alla sezione RF di ricezione. Tutti i guadagni richiesti a ciascun blocco sono riportati in tabella 4.16.

	G_{\max} [dB]	G^* [dB]	G_{\min} [dB]	ΔG
LNA	22	22	10	12
Mixer	12	12	6	6
VGA1	18	12	-3	17
Filtro	15	15	4	6
VGA2	22	13	-2	18

Tabella 4.16: Guadagni richiesti ad ogni blocco della catena nell'architettura a conversione diretta

4.5.3 Dimensionamento con un filtro del terzo ordine

In questo paragrafo sono illustrate le differenze che si hanno nel dimensionamento dei vari blocchi della catena rispetto al caso precedente ($N = 2$).

In figura 4.22 è riportato il profilo in banda base che si ha in questo caso. E' la sensitività che determina, con questo dimensionamento, i guadagni G_{max} e G^* del ricevitore.

In primo luogo cambia la frequenza a -3 dB del filtro stesso che, secondo l'equazione 4.2, passa da 150 kHz a 130 kHz. La dinamica del convertitore è dominata dalla sensitività: essa è pari a 35 dB e determina, come riportato in tabella 4.14, un numero di bit pari a 6. Grazie al maggior filtraggio effettuato dalla catena, la frequenza di campionamento f_s può essere ulteriormente ridotta: per $f_s \geq 800$ kHz, la potenza che ricade sul segnale considerato è ≤ -120 dBm circa ed è, quindi, trascurabile rispetto all' N_{floor} . Il guadagno totale massimo del ricevitore, essendo i vari segnali maggiormente filtrati dalla catena, risulta più grande: esso è pari a 96 dB, 10 dB in più rispetto all'architettura con $N=2$; questi sono stati ripartiti tra il filtro, che ha aumentato il suo guadagno di 7 dB, portandolo a 22 dB, e il VGA2 che si è portato a $22 + 3 = 25$ dB. Il rumore che si presenta all'ingresso del convertitore è maggiore a causa dell'aumentato guadagno del ricevitore: esso è pari a $3.97 \mu V_{\text{rms}}/\sqrt{\text{Hz}}$.

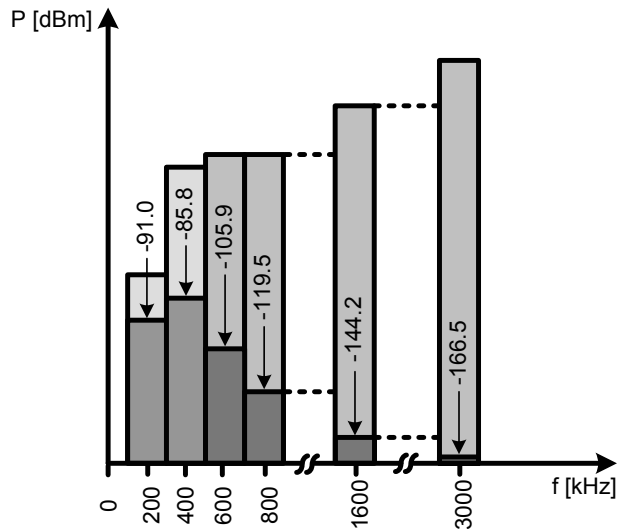


Figura 4.22: Effetto del filtraggio ipotizzato nell'architettura a conversione diretta con $N=3$

Inoltre, si sono lasciate invariate le prestazioni di LNA e mixer così come riportate nella tabella 4.15, in modo da rispondere alle specifiche dedotte dallo standard, praticamente dipendenti soltanto dalla sezione RF di ricezione. In generale, una volta dimensionati i primi due blocchi per rispondere alle specifiche, tale architettura consente diverse possibilità per i blocchi di banda base ed è caratterizzata dal compromesso tra l'ordine del filtro utilizzato ed il numero di bit richiesti al convertitore.

4.5.4 Considerazioni sul dimensionamento

In figura 4.23 è mostrata la propagazione dei segnali attraverso la catena di ricezione mediante l'indicazione delle loro potenze possedute all'uscita di ogni blocco. In essa è evidente l'azione filtrante operata dal mixer, oltre a quella del filtro.

La figura 4.24 mostra, invece, l'andamento del rapporto segnale rumore che, all'uscita del convertitore, si presenta pari a 10 dB, rendendo possibile l'utilizzo di un demodulatore sub-ottimo anche con un NF dell'LNA pari a 3 dB.

In tabella 4.17 sono riassunte le caratteristiche del ricevitore all'uscita del filtro RF, dimensionato con l'architettura a conversione diretta: le specifiche dedotte dallo standard sono tutte ampiamente rispettate.

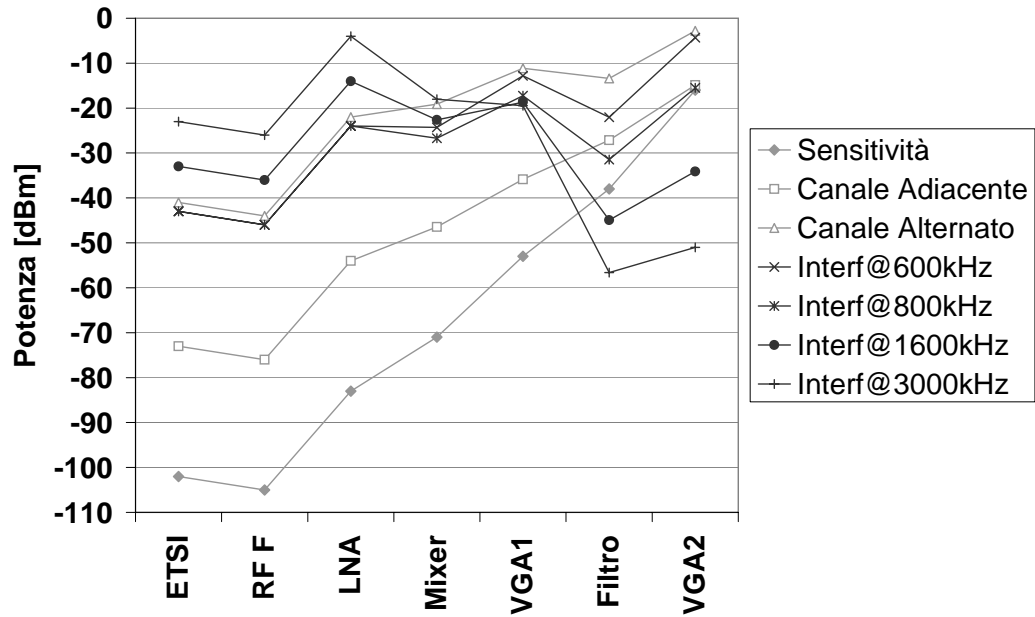


Figura 4.23: Propagazione dei principali segnali nell'architettura a conversione diretta

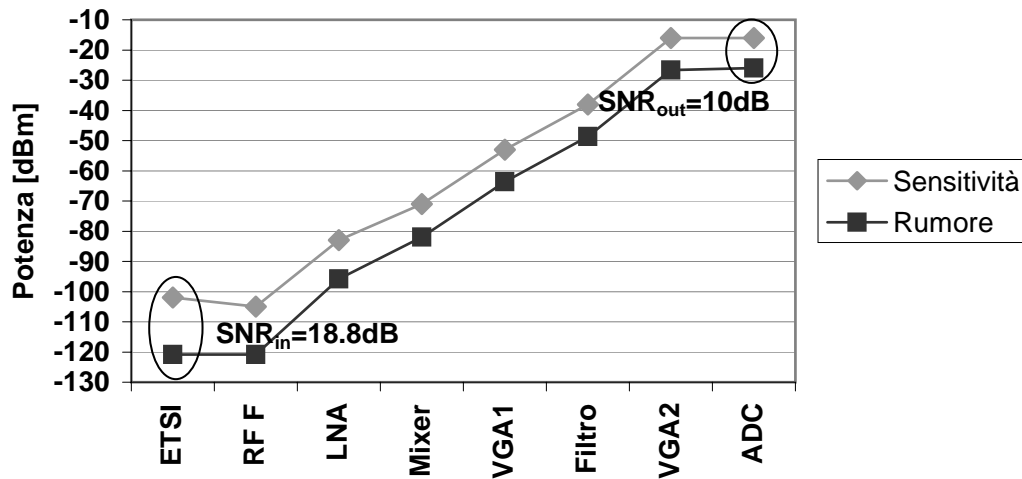


Figura 4.24: Propagazione della sensibilità e del rumore nell'architettura a conversione diretta

4.6 Analisi comparativa delle architetture

Nella tabella 4.18 sono riassunte le prestazioni ottenute per le tre architetture analizzate: esse rispettano pienamente le specifiche dedotte dallo standard, quindi

	Specifica	Dimensionamento
NF [dB]	6.8	5.8
IIP3 [dBm]	-21	-15.7
IIP2 [dBm]	46	47.9

Tabella 4.17: Specifiche dedotte dallo standard e prestazioni conseguenti al dimensionamento effettuato per l'architettura a conversione diretta

tutti i dimensionamenti sono ugualmente validi per un ricevitore funzionante per lo standard GSM. Inoltre, sia per la conversione diretta che per l'architettura Low-IF, con e senza il filtro complesso, a patto di utilizzare per queste ultime due topologie un LNA avente una minore figura di rumore, il rapporto segnale-rumore ottenuto in uscita del convertitore analogico-digitale è tale da consentire l'adozione di un demodulatore sub-ottimo, che, grazie alla sua semplicità, è di grande interesse nelle applicazioni a bassa potenza del ricevitore [6].

Per quanto riguarda la sezione RF, indipendentemente dalla topologia di ricezione utilizzata, poi, il blocco che risulta più critico da realizzare, date le sue prestazioni più stringenti, è il mixer.

	Out Filtro RF	Low-IF	Low-IF complessa	Conversione Diretta
NF [dB]	6.8	6.1	6.1	5.8
IIP3 [dBm]	-21	-15.8	-16.4	-15.7
IIP2 [dBm]	46	47.1	47.4	47.9

Tabella 4.18: Analisi comparativa delle prestazioni all'ingresso del ricevitore per le architetture analizzate

Per quanto riguarda, invece, la sezione di banda base, dall'analisi della tabella 4.19 si evince che le soluzioni più vantaggiose in termini di ordine del filtro e di numero di bit richiesti al convertitore, in quanto consentono l'utilizzo di una minor potenza ed una minore area, sono l'architettura Low-IF con filtro complesso e la conversione diretta.

Tuttavia, la conversione diretta è la topologia di ricezione preferibile in quanto:

- grazie alla maggior distanza in frequenza delle interferenti dal segnale desiderato, le richieste di linearità sui blocchi di banda base sono più rilassate

	Low-IF	Low-IF complessa	DCR	DCR
Ordine N	4	4	2	3
Num di bit	9	6	8	6

Tabella 4.19: Dimensionamento del ricevitore per le architetture analizzate

- a pari numero di bit del convertitore ($n = 6$), consente l'utilizzo di un filtro di ordine inferiore
- dimensionata la sezione RF del ricevitore di modo da rispettare le specifiche dedotte dallo standard, consente diverse possibilità di dimensionamento dei blocchi di banda base, in termini di ordine del filtro e bit dell'ADC.

4.7 Conclusioni

In questo capitolo è stato effettuato il dimensionamento delle tre architetture di ricezione analizzate. Dopo aver mostrato il modello del sistema adottato, si è passati prima all'analisi dei parametri caratteristici di ciascun blocco, poi all'analisi di tutta la catena, trovando un legame tra le specifiche del singolo elemento e le stesse del ricevitore nella sua globalità. I criteri utilizzati per dimensionare tale sistema di ricezione sono stati, quindi, applicati alle architetture Low-IF, Low-IF con filtro complesso e conversione diretta, nel rispetto delle specifiche dedotte dai test previsti dallo standard e ricavate nel paragrafo 2.2.7. Dall'analisi comparativa delle prestazioni delle singole topologie così dimensionate, si è ricavato che l'architettura più vantaggiosa, in termini di ordine N del filtro e del numero n di bit del convertitore, è la conversione diretta. In conclusione, essa si propone, quindi, come la scelta ottimale per lo standard GSM, a patto di realizzare, con un'accurata progettazione, i blocchi circuitali che hanno le specifiche più critiche, come il mixer, che, nella conversione diretta, determina essenzialmente, insieme all'LNA, il comportamento del ricevitore in termini di rumore e linearità. Infatti, se non si adottassero opportune soluzioni circuitali per il mixer [2], sarebbe impossibile richiedere a tale blocco le stesse prestazioni che ha nell'architettura Low-IF. Il progetto della sezione RF di ricezione è affrontato nel capitolo successivo.

Capitolo 5

Progetto della sezione RF per ricevitore GSM a conversione diretta

Dallo studio effettuato nei capitoli precedenti è emerso che l'architettura migliore per un ricevitore GSM completamente integrato in tecnologia *CMOS* è la conversione diretta, in quanto consente una sostanziale semplificazione della catena di ricezione (in particolare della sezione di banda base) e, di conseguenza, un notevole contenimento del consumo di potenza. In base al dimensionamento proposto nel capitolo 4, si nota come le prestazioni dell'intero ricevitore implementato in tale architettura siano determinate principalmente dalla sezione RF di ricezione, ovvero dall'LNA e dal mixer. La progettazione di quest'ultimo, in particolare, risulta critica, in quanto esso deve avere contemporaneamente elevata linearità e basso rumore. Queste richieste sono particolarmente critiche da soddisfare in tecnologia *CMOS*, tanto che attualmente esiste un solo prodotto commerciale realizzato per la conversione diretta in tale tecnologia, caratterizzato da un consumo di potenza molto elevato [17].

In questo lavoro di tesi si è pensato di riproporre le tecniche pensate per un mixer 3G nel ricevitore GSM a conversione diretta, dato che, nell'ambito della ricerca sui ricevitori per la terza generazione, i problemi di questa topologia di ricezione, legati soprattutto ai DC-offset, al rumore $1/f$ e alla linearità di ordine pari, sono stati superati grazie allo studio di opportuni progetti circuitali [36] [37].

Dopo una breve descrizione delle caratteristiche di funzionamento dell'LNA a degenerazione induttiva e del mixer realizzato con la cella di Gilbert, in questo

capitolo sono proposti due possibili *front-end* per un ricevitore GSM a conversione diretta che sfruttano accorgimenti circuitali applicati finora a mixer 3G e che sono stati progettati in modo da soddisfare le specifiche ricavate nel capitolo 4. Tali *front-end* sono realizzati per la versione DCS 1800, in quanto, essendo la versione europea del GSM a più alta frequenza, è anche quella più critica dal punto di vista della progettazione circuitale. Le due topologie proposte sono, quindi, analizzate e confrontate in termini di prestazioni, occupazione di area e consumi.

5.1 Amplificatore a basso rumore

Primo blocco della maggior parte dei ricevitori, l'LNA ha il compito di amplificare il segnale proveniente dall'antenna senza degradarne il rapporto segnale-rumore. La specifica tipicamente più stringente, infatti, per un LNA è quella della figura di rumore, a causa proprio della posizione iniziale che occupa nella catena di ricezione, come già mostrato nell'equazione 4.4. Il guadagno di questo blocco deve essere ottenuto con una buona linearità, misurata tipicamente in termini di *IIP3*. Inoltre, esso deve realizzare un'impedenza d'ingresso stabile e pari a 50Ω per consentire l'adattamento al filtro RF che lo precede, ottimizzando in questo modo il trasferimento di potenza.

5.1.1 Adattamento d'impedenza

Nel sistema GSM l'LNA deve amplificare selettivamente una piccola banda di segnale attorno alla portante. La strada più seguita in questo caso è la scelta di un LNA a *banda stretta*, che consente di raggiungere l'adattamento d'impedenza desiderato tramite l'utilizzo di reti risonanti. Il metodo più utilizzato per realizzare un adattamento di questo tipo è quello di degenerare il *source* di un transistor tramite un induttore: tale rete di adattamento è, pertanto, detta *a degenerazione induttiva* [38].

I vantaggi di questa topologia sono due:

- il rumore aggiunto dipende solo dalle perdite degli induttori, idealmente non rumorosi
- il valore di impedenza può essere ben controllato tramite l'induttore di *source*

Per queste ragioni la degenerazione induttiva è la rete di adattamento più comunemente usata [33] [38] [39]. Questa topologia è intrinsecamente a banda stretta, dato

che garantisce l'adattamento solo in corrispondenza della frequenza di risonanza della rete d'ingresso.

L'impedenza d'ingresso vale [38]:

$$Z_{in} \simeq s(L_g + L_s) + \frac{1}{sC_{gs}} + \omega_T L_s \quad (5.1)$$

dove si definisce $\omega_T = \frac{g_m}{C_{gs}}$.

Le condizioni di adattamento introducono i seguenti vincoli:

$$\begin{cases} R_s = 50 \, \Omega = \omega_T L_s \\ \omega_0^2 (L_g + L_s) C_{gs} = 1 \end{cases} \quad (5.2)$$

Lo stadio è quindi adattato alla sola frequenza ω_0 , alla quale la parte reattiva dell'impedenza è annullata. Dall'analisi delle equazioni 5.2 si nota come il valore di L_s , fissata ω_T , permette di eguagliare la resistenza di sorgente R_s ed è tale per cui tale induttanza può essere realizzata con induttori integrati nel *chip*; l'induttanza L_g , solitamente $\gg L_s$, serve per fissare la frequenza di risonanza ed è tipicamente realizzata *off-chip* per minimizzare l'aggiunta di rumore.

5.1.2 Guadagno

Per ottenere il guadagno desiderato si utilizza un carico risonante LC parallelo: questa scelta consente di ottenere una grande resistenza di carico alla frequenza d'interesse. Tra transistore d'ingresso e carico LC è tipicamente inserito un transistore con *gate* a massa: la configurazione *cascode* così adottata consente di isolare ingresso e uscita dell'amplificatore, evitando indesiderate oscillazioni. Inoltre essa riduce l'effetto Miller sulla capacità C_{gd} del transconduttore d'ingresso, che, altrimenti, riportata tra *gate* e massa e amplificata per tale effetto, modificherebbe il circuito risonante di adattamento in modo non controllabile dal progettista. Pertanto, come mostrato in figura 5.1, nella struttura globale dell'amplificatore a basso rumore qui considerato, si possono distinguere tre parti:

- rete d'ingresso
- *cascode*
- carico LC

Il guadagno in tensione della struttura adottata è dato dalla seguente formula:

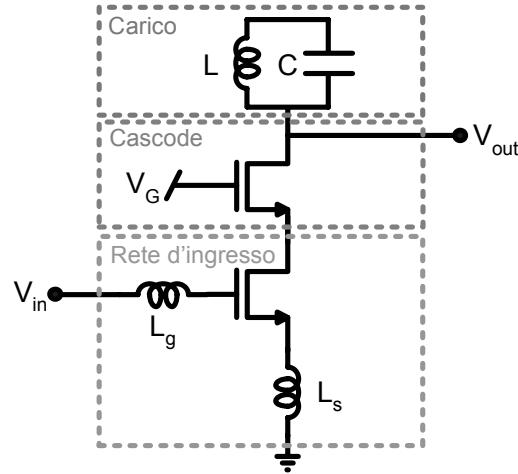


Figura 5.1: Struttura globale dell'LNA

$$\frac{V_{out}}{V_{in}} = G_m \cdot Z_{load} \quad (5.3)$$

dove:

- G_m è il guadagno di transconduttanza dello stadio d'ingresso e vale [38]:

$$G_m = g_m \cdot Q_{in} = \frac{g_m}{\omega_0 C_{gs} (R_s + \omega_T L_s)} \quad (5.4)$$

in cui Q_{in} è il fattore di qualità del circuito d'ingresso avente risonanza serie

- Z_{load} è l'induttanza del carico LC parallelo e vale

$$Z_{load} = \omega_0 L Q \quad \text{per} \quad f = \frac{f_0}{\sqrt{1 - 1/Q^2}} \quad (5.5)$$

in cui Q è il fattore di qualità della rete di carico risonante. E' ragionevole supporre $Q \simeq Q_L$, dato che il fattore di qualità delle capacità integrate è maggiore di quello delle induttanze e dato che vale la seguente:

$$\frac{1}{Q} \simeq \frac{1}{Q_L} + \frac{1}{Q_C}$$

5.1.3 Rumore in un LNA degenerato induttivamente

In questa trattazione sono considerate solo le sorgenti principali sorgenti di rumore di un LNA degenerato induttivamente: il rumore della sorgente, il rumore di *gate* indotto e il rumore termico del transconduttore d'ingresso.

Le densità spettrali per tali rumori valgono rispettivamente [38]:

$$S_{v,R_s}(f) = 4KTR_s$$

$$S_{i,g}(f) = 4KT\delta \frac{(\omega C_{gs})^2}{5g_{d0}}$$

$$S_{i,d}(f) = 4KT\gamma g_{d0}$$

dove δ è il coefficiente del rumore di *gate* indotto, tipicamente pari a $4/3$ nei dispositivi a canale lungo, g_{d0} è la transconduttanza del MOS per $V_{DS} \rightarrow 0$ e γ è un parametro dipendente dalla polarizzazione e dalle dimensioni del transistor che vale circa $2/3$ per dispositivi a canale lungo, mentre è maggiore per dispositivi a canale corto.

Per trovare l'espressione del fattore di rumore, tali densità spettrali devono essere riferite all'uscita del circuito, che viene qui considerata in corrente. In condizioni di risonanza ed adattamento, si ottengono le seguenti funzioni di trasferimento [40]:

$$T_{v,R_s}(j\omega) = \frac{g_m}{2j\omega_0 C_{gs} R_s}$$

$$T_{i,g}(j\omega) = \frac{g_m}{j\omega_0 C_{gs}} \cdot \frac{j\omega_0 C_{gs} R_s - 1}{2j\omega_0 C_{gs} R_s}$$

$$T_{i,d}(j\omega) = \frac{1}{2}$$

I rumori di *drain* e di *gate* indotto sono tra loro in parte correlati [38]. Per esprimere tale fenomeno si può agire sulla densità spettrale del secondo, scomponendola in una parte correlata con il contributo di *drain* $S_{i,gc}(f)$ ed in una scorrelata $S_{i,gu}(f)$, secondo la seguente equazione:

$$S_{i,g}(f) = S_{i,gc}(f) + S_{i,gu}(f) = 4KT \frac{(\omega C_{gs})^2}{5g_{d0}} (1 - |c|^2) + 4KT \frac{(\omega C_{gs})^2}{5g_{d0}} |c|^2$$

dove c è il coefficiente di correlazione che vale circa $j0.4$.

Il fattore di rumore risultante in questo caso è pari a:

$$F = 1 + \frac{S_{i,g}(f)|T_{i,g}(j\omega)|^2 + S_{i,d}(f)|T_{i,d}(j\omega)|^2 + S_{i,gc}(f)}{S_{v,R_s}(f)|T_{v,R_s}(j\omega)|^2} \quad (5.6)$$

Sostituendo in 5.6 le espressioni delle densità spettrali di rumore e delle funzioni di trasferimento, si giunge alla seguente espressione [40]:

$$F = 1 + \frac{\gamma \left[\frac{g_{d0}}{4} + \frac{\delta}{5\gamma g_{d0}} \left(\frac{1}{4} + Q_{in}^2 \right) + \frac{|c|^2}{2} g_m \sqrt{\frac{\delta}{5\gamma}} \right]}{R_s g_m^2 Q_{in}^2} \quad (5.7)$$

Dall'analisi dell'equazione 5.7 si nota che, in questa topologia, il contributo del rumore di *gate* indotto non deve essere trascurato, in quanto il suo valore in uscita è amplificato dal fattore di qualità della rete.

Supponendo il rapporto tra g_m e g_{d0} pari ad α e considerando le espressioni di Q_{in} e ω_T , l'equazione precedente diventa:

$$F = 1 + \frac{1}{Q_{in}} \frac{\gamma}{\alpha} \left[\frac{1}{2} + \frac{2\delta\alpha^2}{5\gamma} \left(\frac{1}{4} + Q_{in}^2 \right) + \frac{|c|}{2} \sqrt{\frac{\delta\alpha^2}{5\gamma}} \right] \left(\frac{\omega_0}{\omega_T} \right) \quad (5.8)$$

Si nota come il fattore di rumore aumenti al crescere della frequenza di lavoro ω_0 , in quanto aumenta la densità spettrale $S_{i,g}(f)$, rendendo così più importante il rumore di *gate* indotto.

5.1.4 Ottimizzazione della cifra di rumore

In questo paragrafo si vuole definire una metodologia di progetto che consenta di minimizzare la cifra di rumore ottenibile per la configurazione a degenerazione induttiva. Dall'analisi dell'equazione 5.8 si nota che per ridurre la figura di rumore è possibile agire su due parametri: Q_{in} e ω_T . Entrambi variano con le dimensioni del dispositivo; inoltre il primo dipende anche dalla resistenza di sorgente R_s sintetizzata, mentre il secondo, tramite g_m , dipende dalla polarizzazione. Questi ultimi due non sono, però, dei buoni parametri di progetto: infatti, se si modifica R_s , per mantenere comunque l'adattamento bisogna introdurre reti di trasformazione d'impedenza che aumentano la sensibilità ai disturbi esterni, degradando le prestazioni del ricevitore; d'altro canto, se si decide di aumentare ω_T , si va incontro ad una dissipazione di potenza maggiore, che è in contrasto con l'obiettivo di realizzare sistemi a bassa potenza. Le uniche quantità su cui si può agire sono, allora, a parità di potenza, le dimensioni del dispositivo, ed, in particolare, la sua larghezza w , dato che la lunghezza L è la minima consentita dalla tecnologia.

Variando w , le due sorgenti di rumore del transistor vanno in direzioni opposte: si può, infatti, dimostrare che il rumore di *drain* è minimizzabile diminuendo questa grandezza, mentre il rumore di *gate* indotto, essendo legato al Q_{in} , diminuisce all'aumentare di C_{gs} , e quindi di w . E' intuitivo, allora, pensare che esista un dimensionamento ottimo. Per limitare il contributo del rumore di *gate* indotto si tende ad usare dei transistori grandi. Così facendo, però, si accentua il rumore di *drain* che, per alti valori di w , diventa confrontabile con quello di *gate* indotto. All'aumentare delle dimensioni del dispositivo, allora, la figura di rumore mostra prima una decrescita e poi una risalita, con un minimo in cui si bilanciano le variazioni incrementali delle quantità sopra-citate. Tale andamento è stato verificato al variare della corrente di polarizzazione per un LNA adattato alla frequenza di 1.9 GHz. I risultati sono riportati in figura 5.2: dalla sua analisi si nota che esiste sempre un minimo della NF e che questa, come aspettato, diminuisce all'aumentare della corrente di polarizzazione, in quanto aumenta, tramite g_m , la pulsazione ω_T . Come già osservato, tale diminuzione è però a spese di un maggior consumo di potenza.

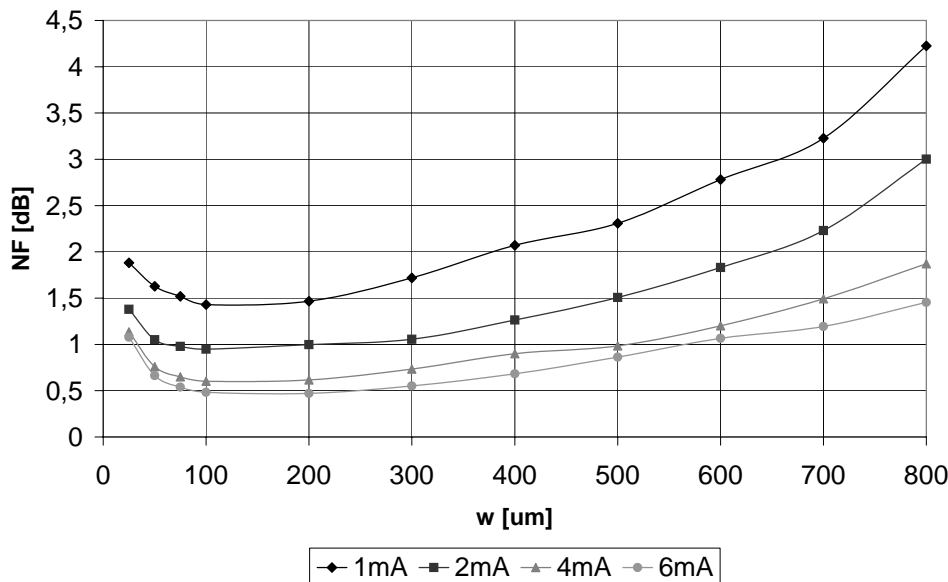


Figura 5.2: Andamento della NF al variare di w e della corrente di polarizzazione

5.1.5 Caratterizzazione della linearità di un LNA

Le prestazioni di linearità di un LNA a degenerazione induttiva sono tipicamente espresse in termini di $IIP3$. Per valutarle bisogna tenere conto dell'effetto che la rete risonante ha sullo stadio d'ingresso, il peso della distorsione introdotta dal *cascode* e la non linearità del carico. Considerare tutti questi effetti contemporaneamente complicherebbe molto la trattazione. Si preferisce, quindi, suddividere il problema in due parti: la caratterizzazione dello stadio d'ingresso e l'effetto del transistor con *gate* a massa e del carico. L'effetto dei due contributi viene poi valutato attraverso un'equazione simile alla 4.5.

IIP3 dello stadio d'ingresso

L'espressione dell' $IIP3$ dello stadio d'ingresso è data dalla seguente espressione [41]:

$$IIP3_1 = \frac{1}{Q_{in}^2} \left(1 + \frac{\omega_T L_s}{R_s} \right)^2 IIP3_{MOS} \quad (5.9)$$

dove l' $IIP3_{MOS}$ è ricavata in base ad un'opportuna formulazione della caratteristica corrente-tensione che tiene conto di tutte le possibili regioni di funzionamento del dispositivo e la cui forma è del tipo [41]

$$IIP3_{MOS} = \frac{2}{3R_s} \cdot \frac{NUM(V_{ov})}{DEN(V_{ov})}$$

in cui NUM e DEN sono due funzioni della tensione di *overdrive* V_{ov} legate alle derivate prime e seconde della espressione della caratteristica del dispositivo. Dato che esiste un valore di V_{ov} per cui la funzione DEN si annulla, un transistor è caratterizzato da un picco di linearità che si presenta per quella particolare tensione di *overdrive*.

Dall'analisi dell'equazione 5.9 si nota che l'andamento dell' $IIP3$ non è semplicemente quello del transistor: esiste anche l'effetto della rete risonante, legato al quadrato del suo fattore di merito. Questo risultato è, però, valido solo in prima approssimazione, sotto l'ipotesi di trascurare la distorsione introdotta sul *source* dai contributi di ordine superiore al primo.

IIP3 dello stadio *cascode* e del carico

Lo stadio con *gate* a massa realizza un *buffer* di corrente: la corrente sul carico è, nel caso ideale, la replica esatta di quella al *drain* del transconduttore d'ingresso. La distorsione introdotta dal transistor di questo stadio è dovuta, oltre che alla

caratteristica del dispositivo stesso, alla presenza, in prima approssimazione, di una capacità C tra il suo nodo di *source* e massa che fornisce un cammino verso massa alla corrente: la tensione al nodo di *source* sarà quindi modulata dalla corrente stessa, oltre che da quella di *drain* del transistor d'ingresso. L'espressione di $IIP3$ di tale stadio è del tipo [41]:

$$IIP3_2 \simeq \frac{I^4}{\omega C R_s \chi} \quad (5.10)$$

dove $\chi = \frac{1}{2} \mu C_{ox} w E_{sat}$.

La distorsione introdotta dal carico è dovuta principalmente alla non linearità della capacità parassita che l'LNA deve pilotare. Tale parassita è dovuta sia la *cascode* che, soprattutto, allo stadio d'ingresso del mixer.

Valutazione dell' $IIP3$ complessiva

Un'espressione approssimata dell' $IIP3$ complessiva è data dalla seguente equazione:

$$IIP3_{LNA} \simeq \frac{1}{IIP3_1} + \frac{(G_m/g_{m2})^2}{IIP3_2} + \frac{(G_m Z_{load})^2}{IIP3_{load}} \quad (5.11)$$

in cui G_m è la tranconduttanza dello stadio d'ingresso, g_{m2} è quella del *cascode* e Z_{load} è l'impedenza di carico. Tipicamente, per minimizzare l'effetto Miller, si sceglie $g_{m2} \simeq G_m$, quindi il contributo più limitativo è quello dello stadio a linearità peggiore. Tipicamente l' $IIP3$ è dominata dallo stadio d'ingresso.

5.1.6 Configurazione differenziale

Tutti i risultati precedenti sono stati ottenuti ipotizzando una struttura *single-ended*. Tuttavia, nell'ottica di realizzare un *front-end* RF in una soluzione totalmente integrata, è indispensabile avere un'elevata reiezione ai disturbi di modo comune, ed è allora necessario adottare una struttura differenziale. Essa presenta, però, alcuni svantaggi: le sorgenti di rumore sono, infatti, raddoppiate ed è necessario, per convertire il segnale in una forma differenziale, l'utilizzo di un *balun* che, però, introduce nuove perdite. Se si calcola il rumore di una topologia degenerata differenziale polarizzata con una corrente doppia, l'ottimizzazione proposta è ancora valida considerando la relazione [33]:

$$\frac{S_{inSE}}{S_{inDF}} = \frac{R_{DF}}{2R_{SE}} \quad (5.12)$$

in cui S_{inSE} e S_{inDF} sono le densità spettrali di potenza di rumore e R_{SE} e R_{DF} sono le resistenze d'ingresso, alla risonanza, rispettivamente nel caso *single-ended* e nel caso differenziale. Dall'analisi dell'equazione 5.12 si nota che:

- se $R_{SE} = R_{DF}$ il rumore in ingresso nel caso *single-ended* è di 3 dB inferiore al caso differenziale
- se $R_{SE} = R_{DF}/2$ i due rumori sono uguali.

In ultima analisi, il vantaggio di avere reiezione di modo comune, mantenendo le stesse prestazioni di rumore, è pagato in termini di potenza dissipata.

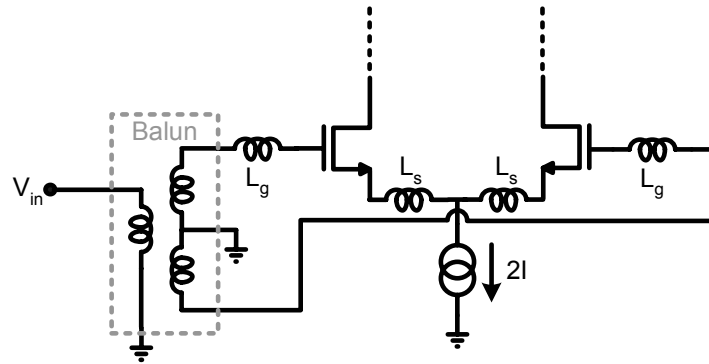


Figura 5.3: Struttura dell'LNA differenziale

5.2 Mixer

Come illustrato nel capitolo 4, tra i blocchi circuitali che costituiscono la catena di ricezione, l'elemento più critico è il mixer, perchè deve avere contemporaneamente alta linearità e basso rumore. Questa ultima richiesta è particolarmente stringente quando si lavora in conversione diretta in tecnologia *CMOS*, in quanto il mixer è soggetto al rumore $1/f$. Inoltre, per soddisfare le richieste di elevata *IIP2*, è necessario ricorrere ad opportune soluzioni circuitali che consentano il raggiungimento delle prestazioni volute.

5.2.1 Cella di Gilbert

Il mixer è il blocco circuitale incaricato di traslare in banda base il segnale RF, in modo che esso possa poi essere elaborato digitalmente. In questo lavoro di tesi si fa riferimento alla topologia attualmente più utilizzata [42]: la *cella di Gilbert*.

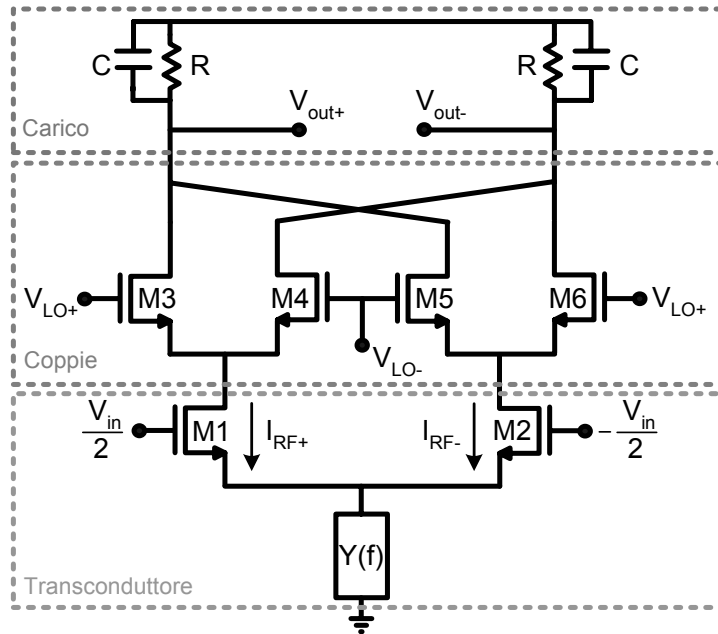


Figura 5.4: Cella di Gilbert

Come mostrato in figura 5.4, in questa struttura, qui rappresentata nella versione completamente differenziale (*double balanced*), si possono distinguere tre parti [7]:

- il transconduttore d'ingresso
- le coppie che commutano
- il carico

Il transconduttore riceve un segnale di tensione RF e lo converte in una corrente I_{RF} secondo la seguente equazione:

$$I_{RF} = g_{mRF} \cdot V_{in} \quad (5.13)$$

dove g_{mRF} è la transconduttanza di M1 e M2.

Le coppie che commutano traslano la corrente di segnale da RF ad una frequenza inferiore ($f_{IF} = |f_{RF} - f_{LO}|$) grazie ad un'operazione di moltiplicazione analogica del segnale d'ingresso con il segnale di oscillatore locale V_{LO} , che corrisponde, in frequenza, ad una convoluzione dei rispettivi spettri. Se il segnale di

LO è una sinusoide, ad esempio, si ha:

$$S_{IF}(f) = S_{RF}(f) \otimes S_{LO}(f) = \frac{1}{2} [S_{RF}(f_{RF} - f_{LO}) + S_{RF}(f_{RF} + f_{LO})] \quad (5.14)$$

Tale processo è caratterizzato da un'efficienza η di conversione, che dipende dal tipo di LO utilizzato. Per segnale di LO sinusoidale essa è pari a 1/2 mentre per LO onda quadra ideale essa è maggiore e vale $2/\pi$. Quest'ultimo tipo di onda, che consente un'efficienza maggiore, si può generare pilotando i transistori della coppia M3-M6 con una sinusoide sufficientemente ampia da spegnere ed accendere alternativamente un transistor per coppia, ad ogni semiperiodo dell'LO. Questo equivale a moltiplicare I_{RF} per un'onda quadra di ampiezza ± 1 .

Il carico, tipicamente un parallelo RC, serve per riconvertire il segnale da corrente in tensione. Esso, inoltre, agisce da filtro passa-basso, eliminando, così, la replica del segnale che si trova a $f_{RF} + f_{LO}$ che viene prodotta, come mostrato nell'equazione 5.15, insieme a quella a bassa frequenza.

Il guadagno di tensione dell'intera struttura è pari a [7]:

$$A_V = g_{mRF} \cdot \eta \cdot R \quad (5.15)$$

5.2.2 Sorgenti di rumore in una cella di Gilbert

In questo paragrafo sono descritte le sorgenti di rumore di una cella di Gilbert. Sono poi forniti i risultati di alcune simulazioni effettuate per verificarne il comportamento al variare di alcuni parametri di progetto.

Rumore del transconduttore d'ingresso

- **Rumore bianco**

Tale rumore si schematizza come un generatore di corrente in parallelo al transistor avente densità spettrale di potenza pari a [2]:

$$I_{wh}^2(f) = 4KT \frac{\gamma}{\alpha} g_m \quad (5.16)$$

dove γ è un coefficiente che vale 2/3 nei dispositivi a canale lungo mentre α tiene conto dell'effetto degli elettroni caldi. La funzione di trasferimento di questo contributo è uguale a quella della corrente di segnale.

- **Rumore flicker**

Tale sorgente di rumore è modellizzabile con un generatore di corrente parallelo al transconduttore, caratterizzato dalla seguente densità spettrale di potenza:

$$I_{1/f}^2(f) = \frac{k_{1/f}}{C_{ox}L^2} \cdot \frac{I_{bias}}{f} \quad (5.17)$$

Si noti come questa densità spettrale di rumore sia direttamente proporzionale alla corrente di polarizzazione I_{bias} ed inversamente proporzionale alla frequenza ed alle dimensioni del dispositivo. Dato che questo contributo è a bassa frequenza, dopo la traslazione ad alta frequenza operata dal mixer, è praticamente ininfluenza sul rumore totale del blocco.

Rumore delle coppie che commutano

L'analisi di questi contributi di rumore è più complessa della precedente a causa della funzione di trasferimento tempo-variante che caratterizza tale sezione del mixer. Anche le sorgenti di rumore sono funzioni del tempo. Si tratta, quindi, di analizzare processi ciclostazionari all'interno di sistemi periodici tempo-varianti [43]. Per caratterizzare tali processi, è necessario introdurre una densità di potenza di rumore tempo-variante; anche la funzione di trasferimento di un sistema periodico tempo-variante è tempo-variante. Data la periodicità del fenomeno, entrambe queste grandezze possono essere espresse mediante serie di Fourier. Sotto alcune ipotesi [44], comunque verificate nei casi d'interesse di questo lavoro, è possibile ottenere una semplice espressione della densità spettrale di potenza del rumore in uscita ad un tale tipo di sistema. Ad una certa frequenza f_{IF} , si può dimostrare che essa è data dalla somma di tutti i ripiegamenti dello spettro di potenza del rumore di sorgente, dovuti alle armoniche della funzione di trasferimento [44]. Con questa premessa, è ora possibile analizzare il rumore della coppia che commuta, considerando separatamente i vari contributi.

- **Rumore bianco**

Se la commutazione delle coppie fosse istantanea, non ci sarebbe trasferimento di rumore bianco verso l'uscita. Come mostrato in figura 5.5, quando un solo transistor della coppia è in conduzione (a), ad esempio M3, il rumore bianco, schematizzato con un generatore di corrente in parallelo a M3, non può aggiungere alcun contributo. Se, invece, esiste una frazione di tempo

T_{sw} in cui entrambi i transistori sono accesi (b), cioè la commutazione non è istantanea, esiste un cammino per il rumore verso l'uscita.

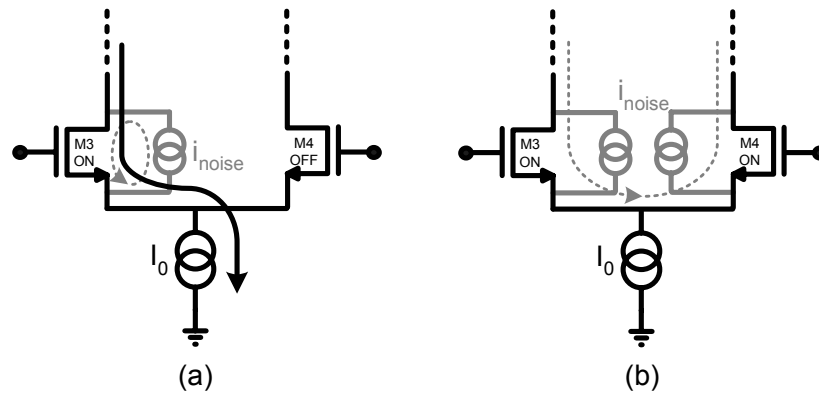


Figura 5.5: Rumore bianco della coppia nel caso di commutazione istantanea (a) e non (b)

La densità spettrale di corrente di rumore totale all'uscita dei transistori della coppia è pari a [45]:

$$I_{wh}^2(f) = 4KT\gamma \frac{I_0}{\pi A_{LO}} \quad (5.18)$$

Si noti come questo contributo dipenda solo dalla corrente di polarizzazione I_0 e dall'ampiezza dell'oscillatore locale A_{LO} , e non dalle dimensioni dei transistori della coppia. Per minimizzare tale contributo si deve, quindi, ridurre la corrente della coppia che commuta ed usare un ampio segnale di LO: questo equivale a ridurre il valore di transconduttanza dei dispositivi e l'intervallo di tempo T_{sw} . Dalle simulazioni, tuttavia, si è notato come tale contributo sia trascurabile rispetto a quello del rumore flicker delle coppie, descritto di seguito.

- **Rumore flicker**

Il rumore flicker dei dispositivi delle coppie che commutano rappresenta, in tecnologia *CMOS*, il maggior contributo di rumore nelle architetture a conversione diretta e Low-IF, dato che si trova concentrato a bassa frequenza. Tale meccanismo può presentarsi all'uscita del mixer attraverso due distinti meccanismi, uno diretto e l'altro indiretto [45]. Il primo è dovuto alla non istantanea commutazione della coppia, in analogia al rumore bianco; il

secondo è causato, invece, dalla presenza della capacità parassita al nodo comune di *source*.

- Meccanismo diretto

Il rumore flicker può giungere all'uscita del mixer durante l'intervallo di tempo T_{sw} , in modo analogo al rumore bianco. Il contributo di tale rumore all'uscita dei transistori della coppia vale [2]:

$$I_{1/f}^2(f) = 2 \cdot \frac{k_{1/f}}{\mu C_{ox}} \cdot \frac{1}{wLf} \cdot \left(\frac{2I_0}{\pi A_{LO}} \right)^2 \quad (5.19)$$

Anche in questo caso, una corrente di polarizzazione I_0 limitata ed un ampio oscillatore locale riducono il peso di tale meccanismo. In questo caso è, inoltre, possibile agire anche sulle dimensioni: aree dei dispositivi maggiori riducono ulteriormente tale contributo di rumore.

- Meccanismo indiretto

Se si applicasse un segnale ad onda quadra ideale di LO per pilotare le coppie, non si avrebbe più trasferimento di rumore verso l'uscita per il meccanismo diretto. Tuttavia, il rumore flicker può giungere all'uscita delle coppie attraverso il processo di carica-scarica della capacità parassita presente al nodo di *source* della coppia che commuta.

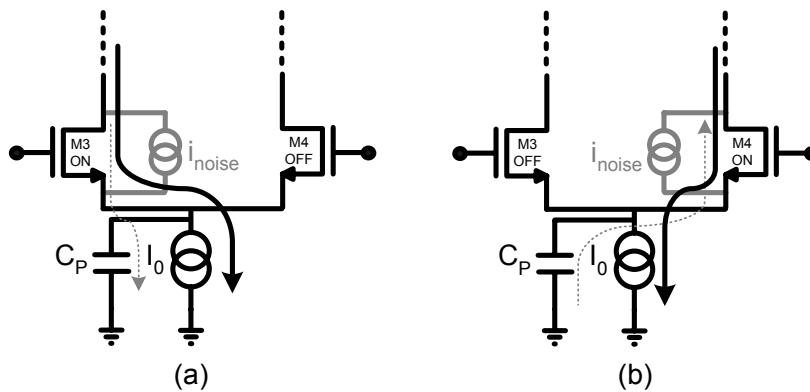


Figura 5.6: Meccanismo indiretto del rumore flicker della coppia

Come mostrato in figura 5.6, quando M3 conduce, la sua corrente di rumore carica la capacità parassita C_P ed è, quindi, presente all'uscita del mixer, sovrapposta alla corrente di polarizzazione. Quando, invece,

M4 è acceso ed M3 è spento, la capacità si scarica e la corrente di rumore è ancora presente all'uscita del mixer. Le due correnti hanno verso opposto: l'uscita presa in modo differenziale ne realizza, quindi, la somma. La corrente totale di rumore presente all'uscita delle coppie, per $\tau = C_P/g_m \ll T_{LO}$, è proporzionale alla sorgente flicker tramite la conduttanza equivalente $2C_P/T_{LO}$ [45]. Questo significa che tale contributo aumenta al crescere della frequenza e della capacità parassita C_P . Si può diminuire quest'ultima riducendo le dimensioni del transduttore d'ingresso oppure l'area dei transistori della coppia; in quest'ultimo caso si aumenta la potenza della sorgente di rumore: esiste, quindi, un compromesso tra queste due opposte esigenze.

L'andamento del rumore flicker delle coppie all'uscita del mixer in funzione della capacità parassita è stato verificato con delle simulazioni, facendo variare la dimensione del w_{RF} del transduttore d'ingresso. I risultati sono riportati in figura 5.7. Si nota un aumento di tale contributo di rumore dovuto all'aumento della capacità parassita (meccanismo indiretto), che causa anche un rallentamento della commutazione delle coppie (meccanismo diretto).

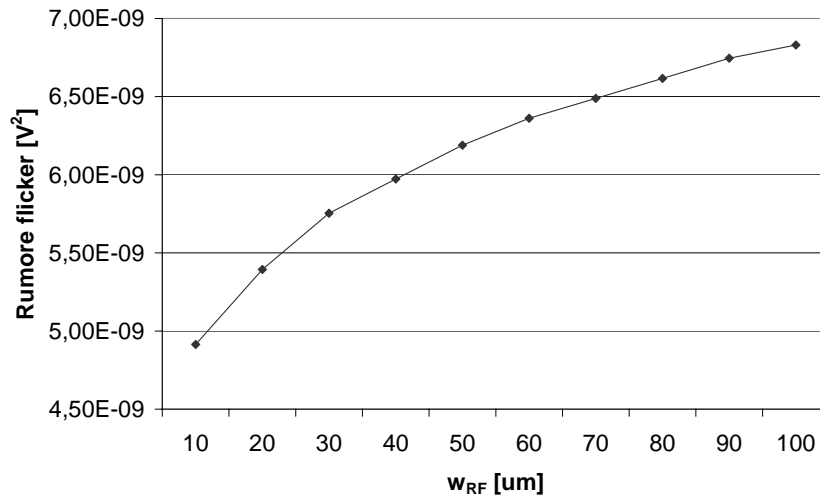


Figura 5.7: Andamento del rumore flicker della coppia in funzione delle dimensioni del transduttore d'ingresso

Il grafico riportato in figura 5.8 mostra invece l'andamento del rumore flicker all'uscita del mixer al variare delle dimensioni del transduttore e della

frequenza dell'LO: come aspettato, all'aumentare di quest'ultima, il rumore aumenta in quanto cresce il contributo del meccanismo indiretto.

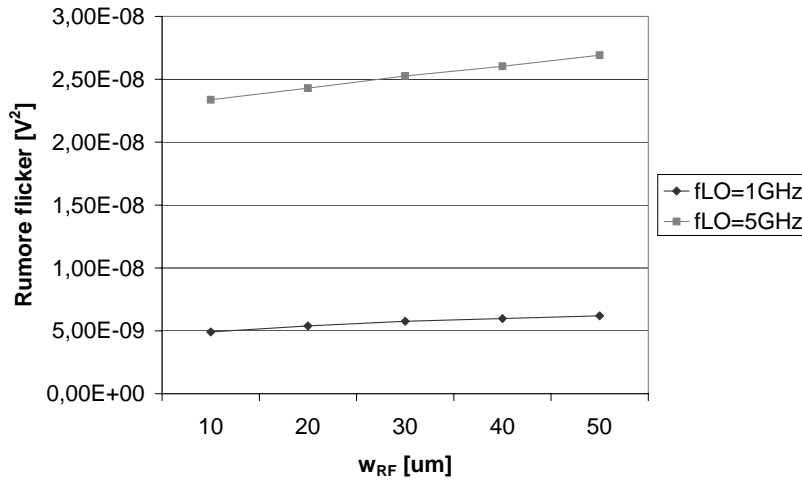


Figura 5.8: Andamento del rumore flicker della coppia in funzione delle dimensioni del transduttore e della frequenza dell'LO

Come si nota in figura 5.9, il rumore flicker all'uscita del mixer, inoltre, diminuisce all'aumentare dell'ampiezza dell'LO in quanto diminuisce il contributo diretto, come mostrato nell'equazione 5.19.

Rumore del carico

Quando il segnale d'uscita del mixer è a frequenza molto bassa, come carico occorre utilizzare una resistenza. Essa, se realizzata in polisilicio, non genera rumore flicker [45], quindi inietta solo rumore termico pari a $4KT/R$.

Considerazioni sul rumore del mixer

Dalle simulazioni effettuate si è visto che il contributo dominante del rumore totale del mixer è quello del rumore flicker dei transistori delle coppie, superiore tipicamente al 90%. Il secondo contributo percentuale è quello del rumore bianco del transduttore d'ingresso mentre il rumore bianco del carico pesa per pochi punti percentuali sul totale. Tutti gli altri contributi sono trascurabili.

Per minimizzare il contributo dominante, si è posta un'induttanza L tra i due nodi di *source* delle coppie che commutano. Tale induttanza, risuonando opportunamente con le capacità parassite presenti a quel nodo, riduce il loro effetto e,

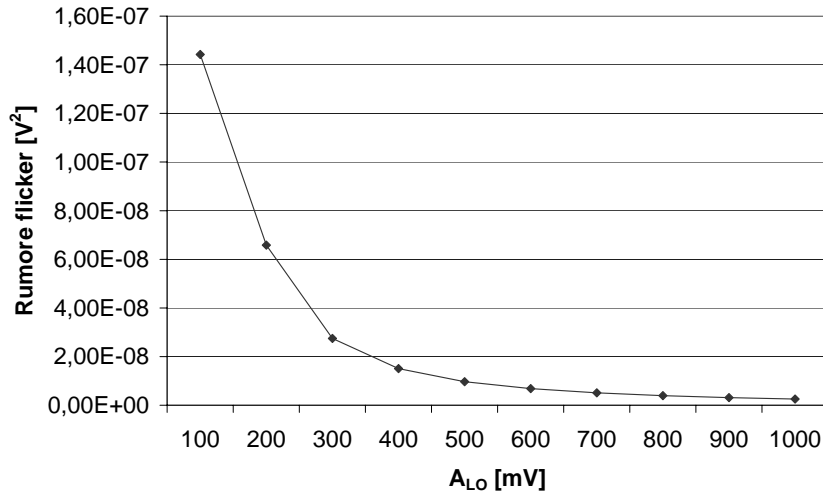


Figura 5.9: Andamento del rumore flicker della coppia in funzione dell'ampiezza dell'LO

quindi, il meccanismo indiretto risulta drasticamente ridotto, in quanto la capacità parassita è “cancellata” dall'induttanza.

In figura 5.11 e 5.12 sono mostrati i risultati delle simulazione effettuate con e senza induttanza: nel primo caso si nota come la diminuzione del rumore d'ingresso, dovuta all'inversa proporzionalità tra la potenza dell'LO (P_{LO}) e il contributo diretto, è maggiore nella topologia con l'induttanza a causa dei minori contributi dei due meccanismi del rumore flicker. Nel secondo caso si nota ancora il miglioramento dovuto alla presenza dell'induttanza. In questo caso il rumore totale aumenta a causa del fatto che il contributo diretto, che ora è dominante, cresce all'aumentare della corrente di polarizzazione (equazione 5.19).

5.2.3 Intermodulazione di terzo ordine del mixer

Nell'analisi della linearità di terzo ordine del mixer si considerano separatamente lo stadio di transconduttanza e le coppie che commutano, in quanto essi richiedono due approcci teorici differenti, le serie di Taylor della relazione corrente-tensione il primo, gli sviluppi in serie di Volterra, a causa della tempo-varianza delle coppie, il secondo. Inoltre, la prestazione in termini di $IIP3$ delle coppie dipende dal guadagno di transconduttanza che viene sintetizzato dallo stadio d'ingresso.

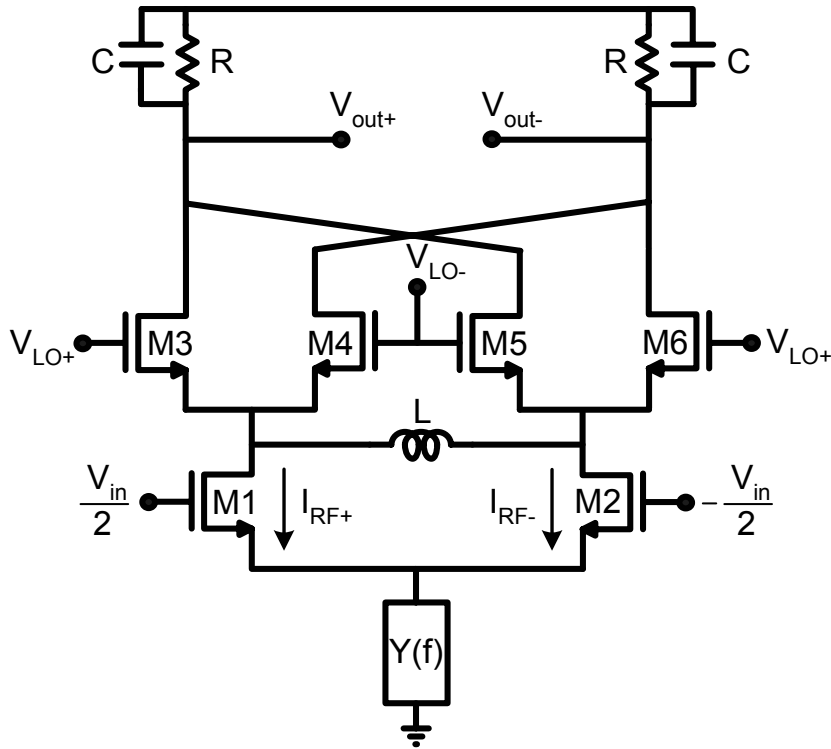


Figura 5.10: Cella di Gilbert con induttanza tra i nodi di *source* delle coppie che commutano

Linearità dello stadio d'ingresso

Le tre possibili implementazioni del transconduttore d'ingresso sono riportate in figura 5.13: la topologia completamente differenziale (a), quella degenerata LC (b) e quella pseudo-differenziale (c).

Qualitativamente, più grande è la tensione di *overdrive* della coppia e maggiore è la linearità del transconduttore d'ingresso, in quanto esso lavora in un punto di polarizzazione in cui la caratteristica tensione-corrente è più lineare. Nella figura 5.14 sono riportati gli andamenti dell'*IIP3* in funzione della larghezza dei dispositivi. Come aspettato, per la topologia completamente differenziale e degenerata LC, all'aumentare del w_{RF} , e quindi al diminuire dell'*overdrive*, la linearità peggiora. La topologia completamente differenziale presenta la linearità peggiore in quanto il generatore di corrente I_{bias} determina un'alta impedenza al nodo di *source* comune, che subisce un'oscillazione al doppio della frequenza del segnale d'ingresso. Questo fatto limita l'*IIP3* raggiungibile, che risulta, appunto, inferiore

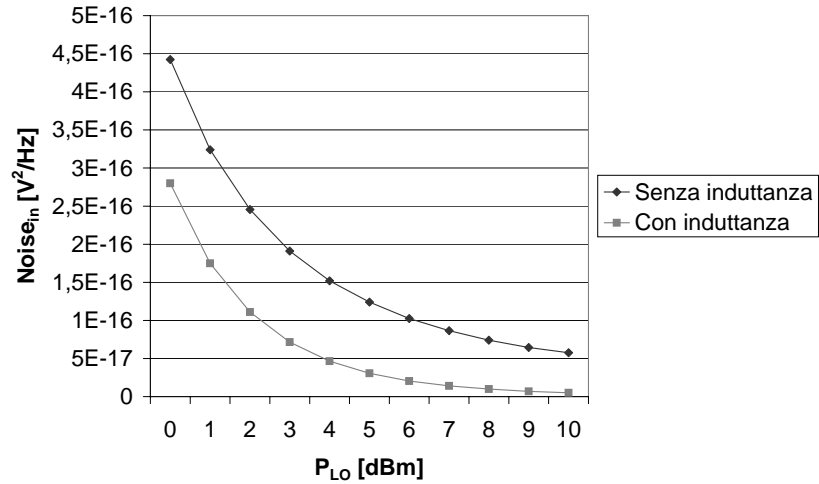


Figura 5.11: Andamento del rumore totale in ingresso al mixer in funzione della potenza dell'LO

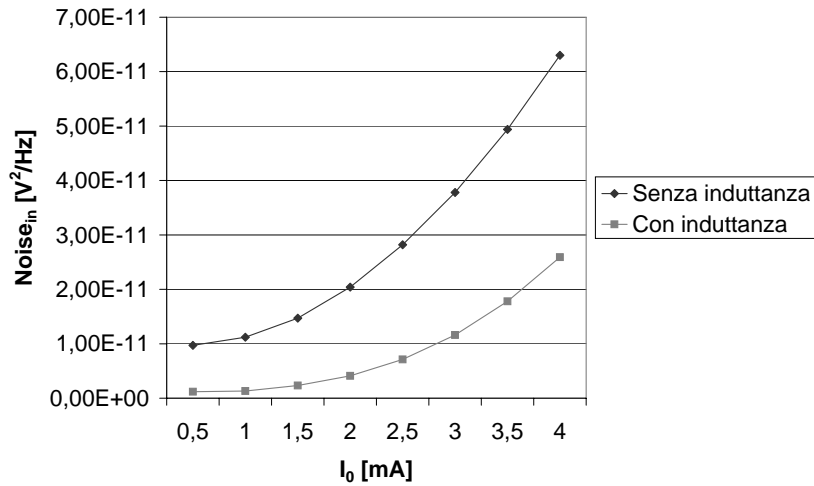


Figura 5.12: Andamento del rumore totale in ingresso al mixer in funzione della corrente di polarizzazione

al caso degenerato LC, che, a frequenza doppia del segnale d'ingresso, presenta invece un'impedenza sufficientemente bassa da limitare l'oscillazione del nodo comune. Per la topologia pseudo-differenziale, in cui la tensione di *source* è fissata a massa, si può notare una linearità maggiore: questo è giustificato dalla caratteri-

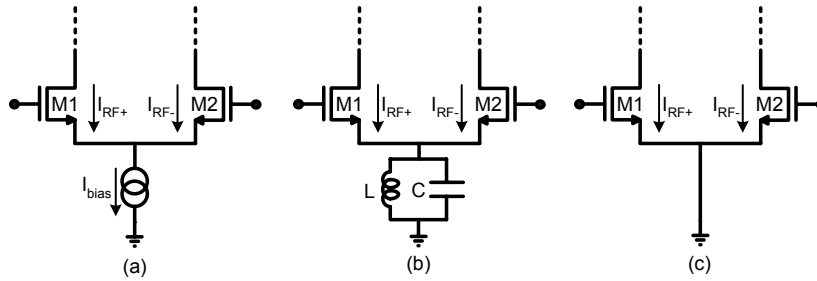


Figura 5.13: Topologie di transconduttore: completamente differenziale (a), degenerata LC (b), pseudo-differenziale (c)

stica corrente-tensione del MOSFET [2], in quanto il coefficiente responsabile dei prodotti di intermodulazione del terzo ordine cambia segno passando dalla debole alla forte inversione: nella regione in cui si annulla, la linearità del dispositivo aumenta notevolmente. Tale topologia è, quindi, la migliore in termini di $IIP3$ ottenibile.

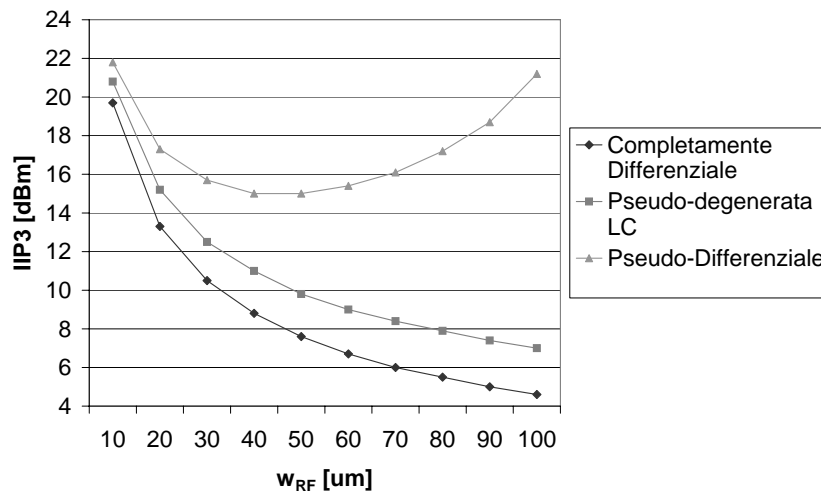


Figura 5.14: Linearità del terzo ordine per la diverse topologie di transconduttore

Linearità delle coppie che commutano

Il problema della linearità delle coppie che commutano è qui descritta in maniera qualitativa, in quanto per avere una formulazione analitica del problema, esso deve essere affrontato con le serie di Volterra a causa della natura tempo-variante della

sezione che realizza la traslazione in frequenza [42]. Inoltre fin'ora non si è ancora trovata un'espressione dell' $IIP3$ in funzione dei parametri di progetto. Pertanto di seguito sono descritti i vari elementi tramite cui un progettista può agire sull' $IIP3$, cercando di capire come essi la limitano.

- **Corrente di polarizzazione delle coppie che commutano**

L'aumento della corrente di polarizzazione migliora la linearità della coppia: infatti, a pari dimensioni dei dispositivi, aumenta l'*overdrive* dei transistori, che, quindi, lavorano in zona più lineare. Inoltre, con l'aumento del g_m dei dispositivi, migliora l'effetto *cascode*: la corrente di segnale iniettata nella capacità parassita al nodo comune di *source*, quindi, diminuisce. Questo miglioramento, previsto dai grafici normalizzati in [42], è stato verificato: i risultati delle simulazioni sono riportati in figura 5.15, in cui lo stadio di transconduttanza utilizzato è ideale: pertanto, le prestazioni in termini di linearità del mixer sono limitate soltanto dalle coppie che commutano.

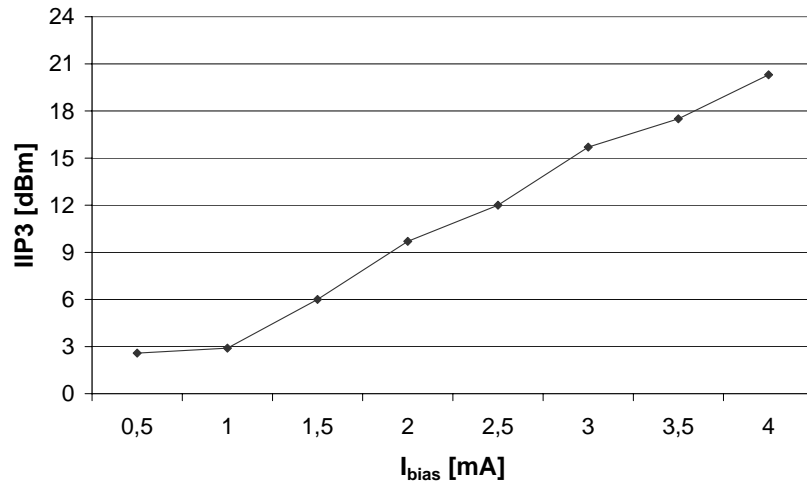


Figura 5.15: $IIP3$ del mixer in funzione della corrente di polarizzazione

- **Capacità parassita al nodo comune di source**

Tale capacità parassita, direttamente proporzionale alle dimensioni dei transistori, influisce sulle prestazioni di $IIP3$ secondo diversi meccanismi. Infatti, all'aumentare della frequenza, essa determina una partizione non lineare della corrente di segnale con il g_m dei dispositivi, pertanto una sua minimizzazione aumenta la linearità della coppia. Un effetto positivo che ha una

grossa capacità parassita è la limitazione delle oscillazioni di modo comune a frequenza doppia dell'LO del nodo comune di *source*.

- **Dimensioni dei dispositivi delle coppie che commutano**

Un aumento del g_m dei dispositivi, cioè delle loro dimensioni, consente di ottenere, come già detto, un miglioramento della linearità della coppia. Tuttavia, dato che da tali dimensioni dipende la capacità parassita, in linea di principio un aumento del w porterebbe ad una diminuzione del valore di $IIP3$.

- **Ampiezza dell'oscillatore locale**

L'ampiezza dell'LO è molto influente sulle prestazioni di rumore della coppia che commuta [42]. Da una parte un'elevata ampiezza dell'LO consente di ottenere una commutazione più veloce delle coppie, limitando la partizione non lineare della corrente di segnale sulle due g_m dei transistori della coppia. Dall'altra parte un aumento dell'ampiezza dell'LO causa una maggiore oscillazione del nodo di *source* comune della coppia, aumentando la non linearità. Dato che questi due effetti sono contrastanti, è possibile trovare un ottimo delle prestazioni di $IIP3$ della coppia. Questo è stato verificato con alcune simulazioni, i cui risultati sono riportati in figura 5.16. Questo ottimo è a potenze di LO tanto più basse quanto più aumenta la frequenza di LO, in quanto ad alta frequenza comincia a dominare l'effetto della capacità parassita.

Considerazioni sulla linearità del mixer

Per quanto riguarda lo stadio d'ingresso, la topologia di transconduttore migliore da punto di vista della linearità del terzo ordine è quello pseudo-differenziale. Inoltre, l' $IIP3$ del mixer aumenta ad elevate correnti di polarizzazione, che, però, peggiorano le prestazioni di rumore delle coppie che commutano. Pertanto, si deve cercare un compromesso tra queste due opposte esigenze. In generale, una dimensione relativamente piccola dei transistori delle coppie consente, poi, di limitare la capacità parassita al nodo comune di *source* delle coppie, e quindi il suo effetto di non-linearità.

L'introduzione di un'induttanza tra i due nodi di *source*, come mostrato in figura 5.10, migliora le prestazioni di $IIP3$, in quanto riduce l'effetto della capacità parassita, sfruttando la risonanza. In figura 5.17 sono mostrati i risultati di alcune simulazioni fatte al variare della potenza di LO: si nota come l' $IIP3$ aumenti in

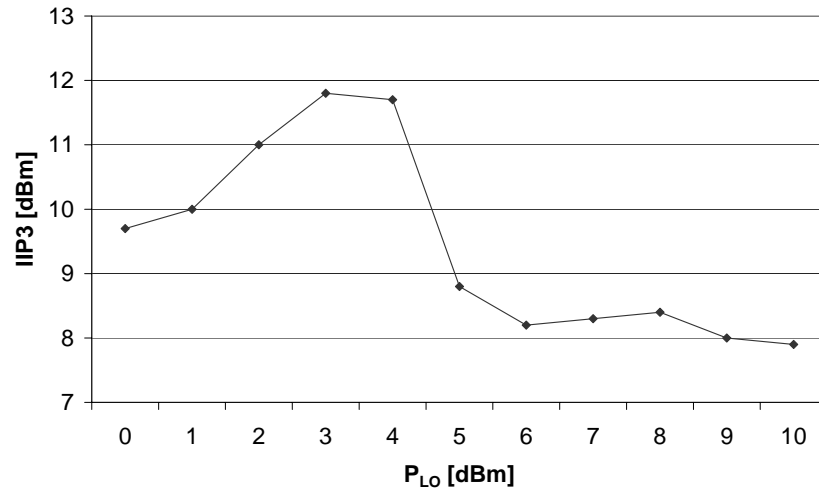


Figura 5.16: IIP3 del mixer in funzione della potenza di oscillatore locale

presenza dell'induttanza, il cui valore, pari a 14 nH nell'esempio simulato, è stato scelto in modo che la risonanza con la capacità parassita fosse alla frequenza dell'LO.

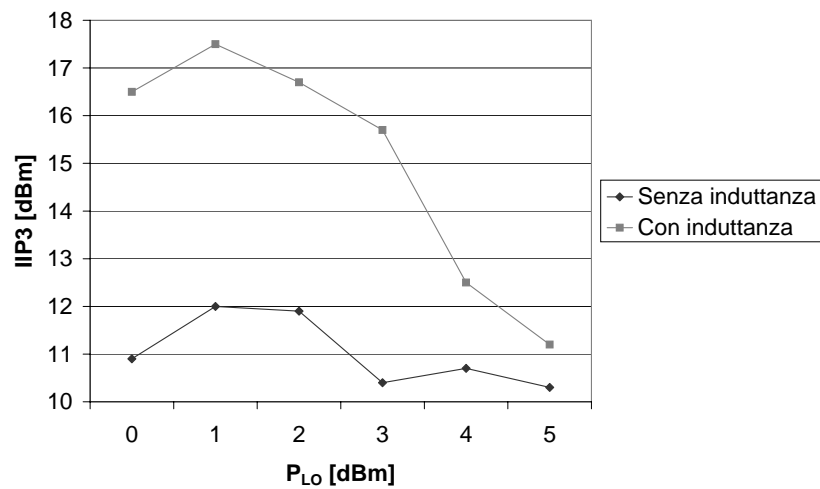


Figura 5.17: IIP3 del mixer in funzione della potenza di oscillatore locale con e senza induttanza

5.2.4 Intermodulazione di secondo ordine del mixer

Quattro sono le principali cause responsabili della distorsione di secondo ordine in un mixer realizzato in una cella di Gilbert [37]:

- auto-moltiplicazione dovuta all'accoppiamento del segnale RF con quello di LO
- non linearità di secondo ordine del transconduttore d'ingresso
- perdite attraverso le coppie
- non linearità di secondo ordine delle coppie che commutano

In questo paragrafo ogni meccanismo è analizzato singolarmente.

Auto-moltiplicazione

Il fenomeno di auto-moltiplicazione è determinato dall'accoppiamento A_{RF-LO} del segnale RF con l'oscillatore locale e dalla non istantanea commutazione dei transistori delle coppie.

La tensione di pilotaggio delle coppie è costituita dal segnale di LO più una frazione del segnale RF ($A_{RF-LO}V_{RF}$). Nel caso di commutazione non istantanea delle coppie, la corrente differenziale di uscita I_{OUT} è linearmente dipendente dalla tensione di pilotaggio, ed è, perciò, proporzionale al quadrato di V_{RF} . In questa frazione di tempo si generano, allora, prodotti di secondo ordine all'uscita del mixer.

L'espressione dell' $IIP2$ dovuta all'auto-moltiplicazione è data dalla seguente espressione [2]:

$$IIP2_{SM}|_{dBm} = 10 \text{Log} \left(\frac{2}{A_{RF-LO}} \right) + P_{LO}|_{dBm} \quad (5.20)$$

dove P_{LO} è la potenza dell'LO espressa in dBm. L' $IIP2_{SM}$ è, quindi, dipendente solo dall'ampiezza dell'LO e dall'accoppiamento, mentre è, almeno in prima approssimazione, indipendente dai parametri di progetto.

Non linearità del transconduttore

Oltre al segnale desiderato, nello spettro della corrente d'uscita del transconduttore ci sono anche i prodotti di intermodulazione di secondo ordine a bassa frequenza prodotti dal transconduttore stesso. Come il segnale RF è convertito

a bassa frequenza, così i prodotti di intermodulazione sono traslati attorno alla frequenza dell'LO. Tuttavia, eventuali *mismatch* delle coppie che commutano possono causare comunque la presenza di tale corrente di bassa frequenza all'uscita del mixer.

La corrente di distorsione del secondo ordine a bassa frequenza all'uscita di ogni transistor ha una componente di modo comune ($i_{IM2,cm}$) e una differenziale ($i_{IM2,diff}$). Entrambi questi contributi devono essere minimizzati per ottenere un'elevata *IIP2*. La componente di modo comune non subisce l'effetto di traslazione in frequenza delle coppie e, quindi, può presentarsi all'uscita differenziale solo in presenza di un eventuale *mismatch* del carico. La componente differenziale, invece, subisce la traslazione in frequenza delle coppie; essa può trovarsi in uscita a causa della presenza di un guadagno di bassa frequenza dovuto, come descritto in seguito, a tre distinti meccanismi.

In generale si può affermare che l'*IIP2* del transistor è dipendente dall'impedenza a bassa frequenza del terminale di *source* [37]. Di conseguenza, le topologie pseudo-differenziale e degenerata LC sono equivalenti dal punto di vista della linearità del secondo ordine. Il transistor completamente differenziale mostra l'*IIP2* maggiore. In altre parole, le topologie pseudo-differenziale e degenerata LC mostrano le prestazioni peggiori, a causa anche della maggior distorsione dovuta all'intermodulazione di modo comune di secondo ordine [2]. Quindi, la topologia completamente differenziale è la scelta migliore per ottenere un'elevata *IIP2*. Si noti come questa topologia non massimizzi, però, l'*IIP3*, che richiede, invece, come transistor ottimo quello degenerato LC o pseudo-differenziale.

Perdite attraverso le coppie che commutano

La corrente di secondo ordine a bassa frequenza prodotta dalla non linearità del transistor non è completamente traslata ad alta frequenza dall'azione del mixer a causa dei *mismatch* esistenti tra i dispositivi delle coppie, che generano un guadagno L di bassa frequenza. Tre sono i meccanismi responsabili di tale guadagno:

- meccanismo diretto
- meccanismo indiretto per le armoniche dispari dell'LO
- meccanismo indiretto per le armoniche pari dell'LO

Di seguito è illustrato il funzionamento di tali meccanismi.

- **Meccanismo diretto**

Tale meccanismo trae origine da un *mismatch* tra i transistori delle coppie che, in figura 5.18 (a), è modellizzato con una tensione di offset V_{off} .

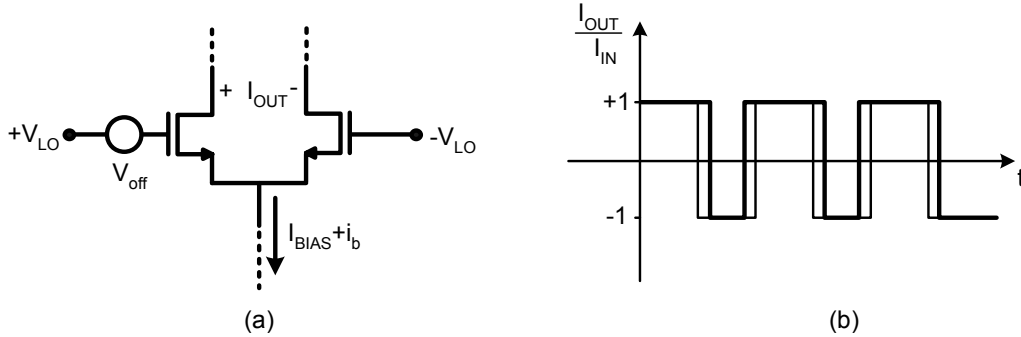


Figura 5.18: Meccanismo diretto: coppia single-balanced (a) e funzione di trasferimento corrispondente (b)

Come si nota nel grafico 5.18 (b), che riporta la funzione di trasferimento I_{OUT}/I_{IN} , il suo *duty cycle* non è pari al 50%, in quanto all'onda quadra ideale è sovrapposto un treno di impulsi rettangolari a frequenza doppia dell'LO che rendono conto della presenza dell'offset. Il valore medio della funzione di trasferimento, quindi, non è più nullo: questo corrisponde all'esistenza di un guadagno di bassa frequenza L_{DIR} che porta la corrente di intermodulazione in uscita. Esso assume la seguente forma [37]:

$$L_{DIR} = \frac{2}{\pi} \cdot \frac{V_{off}}{V_{LO}} \quad (5.21)$$

Per diminuire tale effetto, quindi, bisogna utilizzare un ampio segnale di LO.

- **Meccanismo indiretto per le armoniche dispari**

Dallo studio del meccanismo precedente si nota come esso possa essere eliminato utilizzando un'onda quadra ideale per pilotare le coppie che commutano. Tuttavia, anche cancellando tale effetto, all'uscita del mixer sono presenti i prodotti di intermodulazione originati dal transconduttore. Il primo dei due meccanismi che consentono, tramite una serie di traslazioni in frequenza, al disturbo di giungere in uscita del mixer è descritto in questo paragrafo.

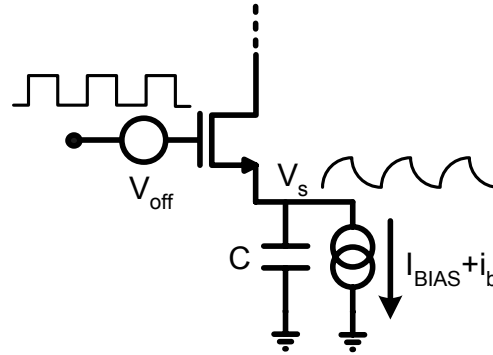


Figura 5.19: Meccanismo indiretto per le armoniche dispari

In questa analisi si deve considerare la capacità parassita C presente al nodo comune di source delle coppie. A causa della tensione di offset, che tiene conto dell'asimmetria del circuito, tale capacità si carica e scarica con una costante di tempo pari a $\tau = C/g_m$, dove g_m è la transconduttanza dei dispositivi delle coppie. La tensione al nodo di *source* varia, allora, tra 0 e V_{off} con un andamento simile a quello illustrato in figura 5.19, in cui è mostrata un'opportuna schematizzazione del circuito. A causa di questo processo di scarica-carica, quindi, il nodo di *source* si muove alla stessa frequenza dell'LO, e ha un contenuto armonico alle frequenze multiple dispari dell'LO. La corrente di distorsione i_b di secondo ordine a bassa frequenza (f_b) non vede la capacità parassita e, quindi, scorre attraverso i transistori della coppia. Questo si traduce in una modulazione della transconduttanza del dispositivo, e, quindi, della tensione di *source* V_s . Nello spettro di tale tensione compaiono, allora, delle bande laterali distanti proprio f_b dalla frequenza dell'LO e dei suoi multipli dispari. Tale tensione genera una corrente, avente lo stesso contenuto armonico, che scorre attraverso la capacità C . I prodotti di intermodulazione del secondo ordine sono quindi traslati a bassa frequenza dall'azione del mixer. Sono traslate anche tutte le componenti che si trovano attorno alle frequenze dispari dell'LO, anche se con diverse funzioni di trasferimento.

In assenza di offset o facendo tendere a zero la capacità parassita C , il contributo dovuto a tale meccanismo indiretto si annulla.

- **Meccanismo indiretto per le armoniche pari**

Nello spettro della tensione del nodo di *source* non sono presenti solo le armoniche dispari dell'LO: esistono, infatti, anche quelle pari, legate alla natura di coppia differenziale della struttura considerata. Il nodo di *source* si muove, quindi, ad una frequenza doppia rispetto al segnale che pilota la coppia.

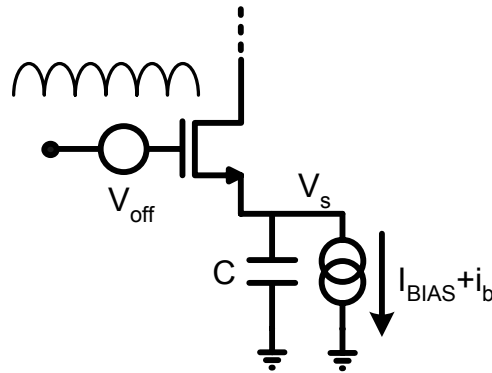


Figura 5.20: Meccanismo indiretto per le armoniche pari

Tale situazione si può schematizzare come mostrato in figura 5.20, cioè con un unico transistor sollecitato da un segnale in ingresso di LO modellizzato come una sinusoide rettificata a frequenza doppia [37]. In modo analogo a prima, si ha ancora una lenta variazione della tensione di *source* a causa della corrente i_b , sovrapposta in questo caso alle armoniche pari della frequenza dell'LO, con conseguente generazione di bande laterali attorno a tali armoniche. A differenza del caso precedente, però, la fluttuazione di V_s non varia più tra 0 e V_{off} ma il valore massimo è maggiore in quanto proporzionale all'ampiezza dell'LO. La tensione V_s genera una corrente che scorre attraverso la capacità avente lo stesso contenuto spettrale. Le bande laterali attorno alle armoniche pari di LO non sono riportate in bassa frequenza dall'azione del mixer, come per il meccanismo precedente, ma dal treno di impulsi a frequenza doppia dell'LO, che genera il guadagno di bassa frequenza L_{DIR} descritto nel meccanismo diretto. Essendo tale guadagno inversamente proporzionale all'ampiezza dell'LO, come mostrato nell'equazione 5.21, si perde la dipendenza dall'ampiezza del segnale applicato per pilotare la coppia. Dato che anche questo contributo ha, quindi, un valore confrontabile con i precedenti, non è immediato dire come vada la linearità nel suo complesso

all'uscita della coppia. I guadagni di tutti questi meccanismi sono funzioni complesse: esse si sommano, quindi, in modulo e fase.

Non linearità di secondo ordine delle coppie che commutano

In presenza di un trasconduttore *ideale*, iniettando un segnale a doppia banda laterale senza portante (DSB-SC), che modella un'interferente con banda $\Delta\omega$ modulata AM, all'uscita delle coppie che commutano è presente comunque un prodotto di distorsione di secondo ordine. Questo è dovuto all'intrinseca non linearità delle coppie e costituisce un limite fondamentale per l'*IIP2* ottenibile [37]. Il meccanismo è analogo a quello indiretto descritto precedentemente. Le armoniche presenti al nodo di *source* importanti per lo studio dell'*IIP2* sono quelle a $k\omega_{LO} + \Delta\omega$, in quanto la frequenza $\Delta\omega$ potrebbe essere sufficientemente bassa da rientrare nella banda del segnale d'interesse. È importante notare come la traslazione a bassa frequenza dei termini $k\omega_{LO} + \Delta\omega$ con k dispari sia intrinseca nell'azione del mixer, mentre per k pari la traslazione è resa possibile dalla presenza di un offset, come spiegato nel meccanismo indiretto per le armoniche pari. L'*IIP2* dovuta alla non linearità della coppia, come mostrato in figura 5.21, cresce con la corrente di polarizzazione. Si nota come per basse correnti, i contributi tendono a cancellarsi, portando ad un picco di *IIP2*.

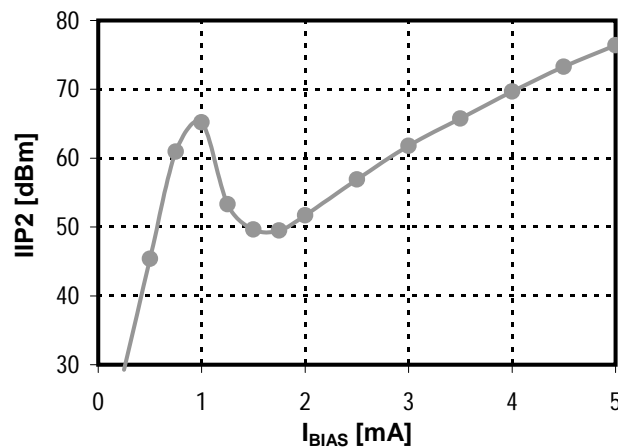


Figura 5.21: *IIP2* intrinseca della coppia che commuta

Considerazioni di progetto per mixer ad elevata $IIP2$

La topologia di transduttore completamente differenziale è la migliore per ottenere elevata $IIP2$. Tuttavia non si può dire altrettanto per l' $IIP3$: anzi, tale topologia è quella dalle prestazioni di linearità di terzo ordine peggiori.

Il contributo che limita maggiormente l' $IIP2$ del mixer è dovuto alla non linearità intrinseca della coppia che commuta. Facendo riferimento alla figura 5.21, per ottenere un'elevata $IIP2$ dei transistori delle coppie si possono seguire due strategie:

- utilizzare una corrente di polarizzazione in prossimità di quella del picco di $IIP2$
- utilizzare elevate correnti di polarizzazione

Tuttavia queste due strategie presentano entrambe alcuni svantaggi: il picco di $IIP2$ dipende, infatti, dalla cancellazione tra distinti meccanismi; si può verificare [2] che la sua reale collocazione in funzione della corrente di polarizzazione è variabile in quanto la disposizione delle asimmetrie del circuito è casuale. Polarizzare, invece, il mixer ad elevate correnti rende, invece, inaccettabile il rumore flicker, che si porta a livelli decisamente elevati.

5.3 Progetto di un front-end di ricezione a conversione diretta

Dall'analisi svolta nei capitoli precedenti è emerso che la migliore architettura per lo standard GSM è la conversione diretta. Le sue prestazioni sono determinate principalmente dalla sezione RF di ricezione, costituita dall'LNA e dal mixer. In base al dimensionamento effettuato nel capitolo 4, si sono ricavate le specifiche che tale *front-end* deve soddisfare: esse sono riportate in tabella 5.1.

Di seguito sono descritte due possibili strategie di progettazione di un *front-end* che soddisfi le specifiche della tabella 5.1.

5.3.1 Primo progetto del front-end di ricezione

Una possibile realizzazione circuitale di un *front-end* a conversione diretta che soddisfi le specifiche di tabella 5.1 è riportato in figura 5.22.

	LNA	Mixer	Front-end
Guadagno [dB]	22	12	34
Rumore [$\text{nV}_{\text{rms}}/\sqrt{\text{Hz}}$]	NF=3 dB	6	NF=5 dB
IIP3 [dBm]	-5	7	-15.4
IIP2 [dBm]	–	70	48

Tabella 5.1: Prestazioni di LNA, mixer e front-end per ricevitore GSM a conversione diretta

In tabella 5.2 sono riportati i valori assegnati ai vari elementi circuitali del *front-end* di figura 5.22 mentre la tabella 5.3 riporta le dimensioni dei dispositivi utilizzati.

C_{AC}	10 pF
C_{Lg}	50 fF
C	20 pF
C_L	610 pF
R_{BIAS}	20 k Ω
R_{Lg}	1.86 Ω
R_L	870 Ω
L_g	29.4 nH
L_s	1.5 nH
L_b	3 nH
L	6 nH
V_{DD}	1.8 V
V_{BIAS1}	720 mV
V_{BIAS2}	800 mV
V_{BIAS3}	980 mV

Tabella 5.2: Componenti e polarizzazione del circuito

Osservando il circuito di figura 5.22 si nota come la sua struttura sia “impilata”: il carico dell’LNA è, infatti, il mixer e lo stadio d’ingresso di quest’ultimo è l’LNA. Inoltre, il mixer utilizzato prevede un incrocio dei rami I e Q [36].

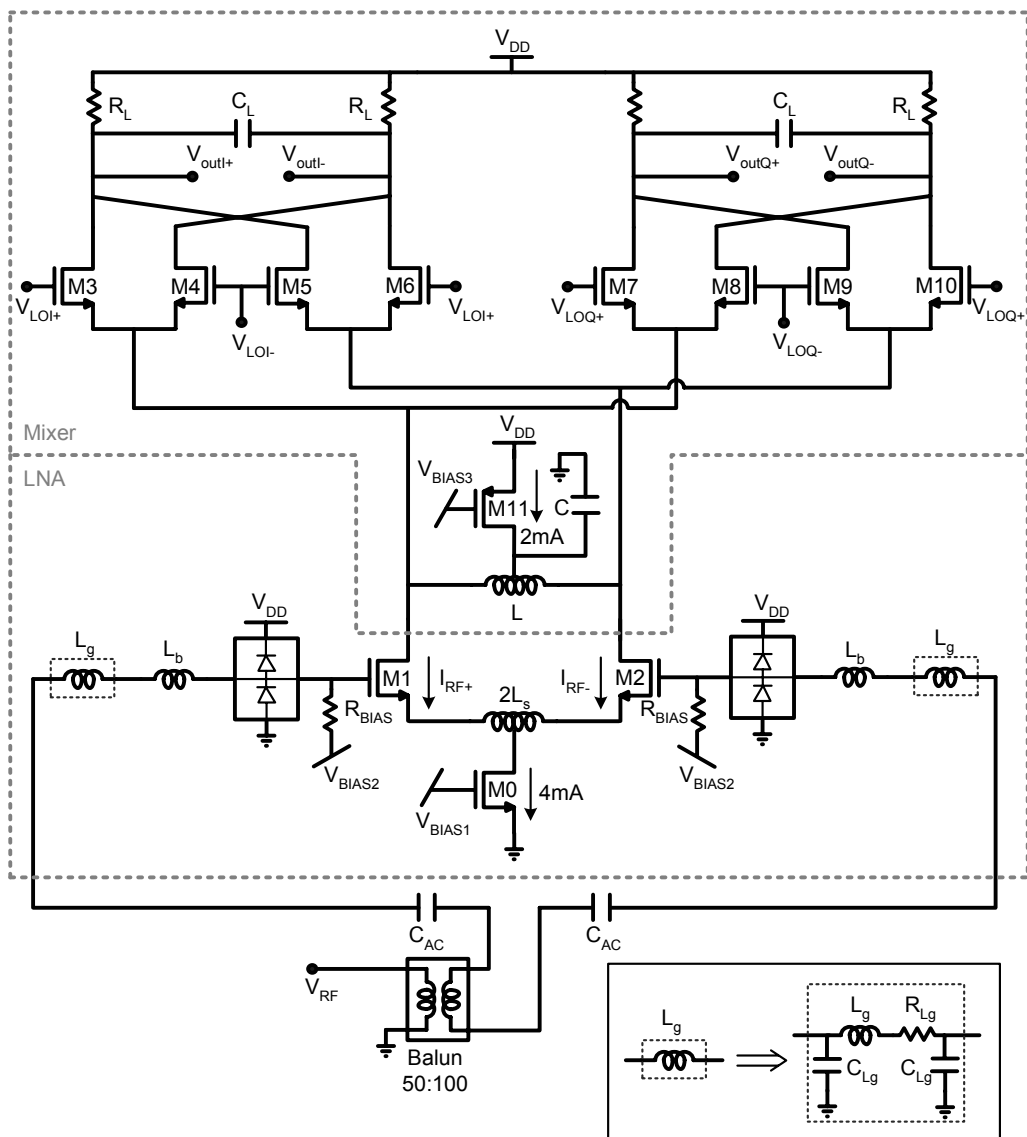


Figura 5.22: Possibile realizzazione circuitale di un front-end di ricezione

	M0	M1-2	M3-10	M11
w [μm]	100	100	300	300
L [μm]	0.18	0.18	0.35	0.7

Tabella 5.3: Parametri di progetto

Analizzando il circuito dall'alto al basso, si nota che il *balun* introdotto è del tipo 50:100 per consentire l'utilizzo di un LNA differenziale che non abbia un rumore doppio rispetto a quello *single-ended* [33]. L'induttanza L_g è un dispositivo a montaggio superficiale (SMD) esterno al *chip* [46]. Essa è stata modellizzata con la rete riportata in basso a destra in figura 5.22 e prevede un fattore di qualità pari a 30, quindi maggiore rispetto a quello delle induttanze integrate ($\simeq 8$). L'accesso all'integrato avviene mediante fili di *bonding* (L_b in figura 5.22) e *pad*, protetti da scariche elettrostatiche, entrambi utilizzati nelle simulazioni. La larghezza dei transistori M1 e M2 è stata scelta in modo da realizzare una cifra di rumore prossima alla minima ottenibile. Il transistor M0 è un generatore di corrente che rende lo stadio d'ingresso del mixer simile alla topologia completamente differenziale, per migliorare le prestazioni di *IIP2*. Le prestazioni di *IIP3* peggiorano adottando tale topologia rispetto ad altre come la pseudo-differenziale, tuttavia la richiesta di linearità di terzo ordine dell'LNA non è particolarmente stringente.

L'induttanza L , il cui valore, pari a 6 nH, è stato scelto in modo da risuonare con le capacità parassite presenti a quel nodo, migliora, come spiegato nei paragrafi precedenti, le prestazioni di rumore e linearità del mixer. Il generatore di corrente realizzato con il transistor M11 fa in modo che nelle coppie del mixer scorra meno corrente, in modo da minimizzarne il rumore flicker. L'ampiezza dell'oscillatore locale I e Q è pari a 600 mV, in modo da migliorare la commutazione delle coppie.

La resistenza di carico R_L è stata scelta in modo da realizzare il guadagno desiderato, che, per l'intera struttura, assume la seguente forma:

$$A_{TOT} = G_m \cdot \eta \cdot R_L$$

dove G_m è la trasconduttanza dell'LNA pari a circa 180 mS totali. Il valore della capacità C_L è stato scelto in modo da realizzare un polo a 150 kHz, come previsto dal dimensionamento del capitolo 4.

L'induttanza L , assieme alla capacità C , finora volutamente tralasciata, ha un'importanza cruciale per il raggiungimento delle prestazioni di *IIP2* richieste: infatti, la capacità parassita C_{par} presente a quel nodo, insieme a metà induttanza ($L/2$), crea un filtro LC che riduce di un fattore Q pari a quello dell'induttore la corrente di intermodulazione del secondo ordine alla frequenza $f_{LO} + f_b$, che, ai valori di I_{bias} utilizzati, è l'armonica che limita l'*IIP2* del mixer; essa si ritrova in uscita traslata a bassa frequenza dall'azione del mixer. Quindi, tale corrente non è più pari a $V \cdot j\omega C_{par}$ ma a V/R_P , dove R_P è la resistenza parallelo equivalente alla risonanza. Il meccanismo di distorsione di seconda armonica è, quindi, ridotto in modo significativo. Lo scopo della capacità C è, invece, quello di provvedere

a fornire un cammino verso massa per il segnale, in modo da “disaccoppiare” le coppie. Infatti, dato che gli offset tra le coppie sono casuali, le bande laterali alle frequenze $f_{LO} \pm f_b$ presenti ai nodi comuni di *source* delle coppie sono differenti, il che implica, in assenza della capacità C, una diversa corrente di intermodulazione attraverso L; tale corrente è, allora, iniettata all’uscita del mixer, contribuendo all’intermodulazione del secondo ordine. Questa è il punto-chiave del progetto, in quanto, senza tale capacità, l’*IIP2* diminuisce drasticamente, risultando addirittura minore di quella del circuito senza filtro LC. Si ricorda ancora che tale soluzione è vantaggiosa anche in termini di rumore e di *IIP3*. Infatti, il rumore flicker delle coppie è notevolmente ridotto in quanto il suo trasferimento indiretto verso l’uscita, dovuto alla capacità C_{par} , è eliminato. L’*IIP3* migliora in quanto, cancellando l’effetto della capacità parassita, il comportamento delle coppie è più vicino a quello di un *cascode* ideale.

La potenza dell’LO è pari a 6 dBm.

Nella tabella 5.7 sono riportate le prestazioni ottenute con i dimensionamenti proposti. Si nota che esse ben soddisfano le richieste prefissate.

	Specifiche	Simulazioni
Guadagno [dB]	34	34.7
NF [dB]	5	5
IIP3 [dBm]	-15.4	-14.6
IIP2 [dBm]	48	48.1

Tabella 5.4: Specifiche del front-end e prestazioni ottenute dalle simulazioni

5.3.2 Secondo progetto del front-end di ricezione

In questo paragrafo è proposta un’altra possibile implementazione del *front-end* di ricezione, che consiste in un LNA degenerato induttivamente accoppiato AC con un mixer realizzato con la cella di Gilbert: come mostrato schematicamente in figura 5.23, entrambi i blocchi circuitali in questione sono differenziali.

Il mixer sfrutta alcuni accorgimenti circuitali sviluppati in ambito 3G [2] che consentono di ottenere le prestazioni particolarmente critiche richieste a tale blocco circuitale. Esse non potrebbero essere raggiunte senza adeguati accorgimenti: infatti, realizzare un ricevitore GSM in conversione diretta in tecnologia *CMOS* presenta notevoli difficoltà, tanto che la quasi totalità dei ricevitori presenti sul

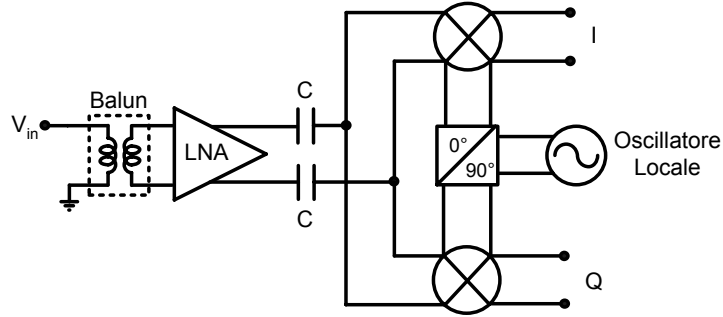


Figura 5.23: Schematizzazione della seconda possibile realizzazione del front-end di ricezione

mercato prodotti con tale tecnologia sono implementati con l'architettura Low-IF, che risolve i problemi di $IIP2$ con delle calibrazioni e il cui rumore $1/f$ non è così critico come nella conversione diretta. Di seguito è descritta dapprima la realizzazione circuitale dell'LNA e successivamente quella del mixer.

LNA

Il circuito realizzato per l'LNA è mostrato in figura 5.24.

Nella tabella 5.5 sono riportati i valori assegnati ai vari elementi circuitali mentre la tabella 5.6 contiene le dimensioni dei transistori utilizzati.

L'LNA realizzato è a degenerazione induttiva: i valori di L_s e L_g sono stati scelti in modo da realizzare l'adattamento alla resistenza di sorgente, pari a 50Ω , alla frequenza di lavoro posta a 1.8 GHz. La larghezza dei transistori M1 e M2 è stata scelta in modo da minimizzare la sua cifra di rumore, mentre quella dei transistori in configurazione *cascade*, M3 e M4, è stata variata fino a trovare un minimo della figura di rumore, come previsto in [47]. Come mostrato in figura 5.25, tale minimo si verifica per una larghezza dei transistori pari a circa $300 \mu\text{m}$.

I valori dell'induttanza e della capacità di carico sono stati dimensionati in modo da ottenere il guadagno voluto, pari a 22 dB, alla frequenza d'interesse, secondo le relazioni 5.3 e 5.5. Anche in questo caso l'induttanza L_g , caratterizzata da un elevato fattore di qualità, è stata realizzata *off-chip* [46]. E' stato utilizzato un *balun* 50:100, per mantenere le prestazioni di rumore della topologia *single-ended* [33]. L'induttanza L_b tiene conto della non idealità dei fili di *bonding* che consentono, insieme al *pad* protetto da scariche elettrostatiche incluso nelle simulazioni, l'accesso al circuito integrato.

	M1-2	M3-4
w [μm]	200	300
L [μm]	0.18	0.18

Tabella 5.6: Parametri di progetto

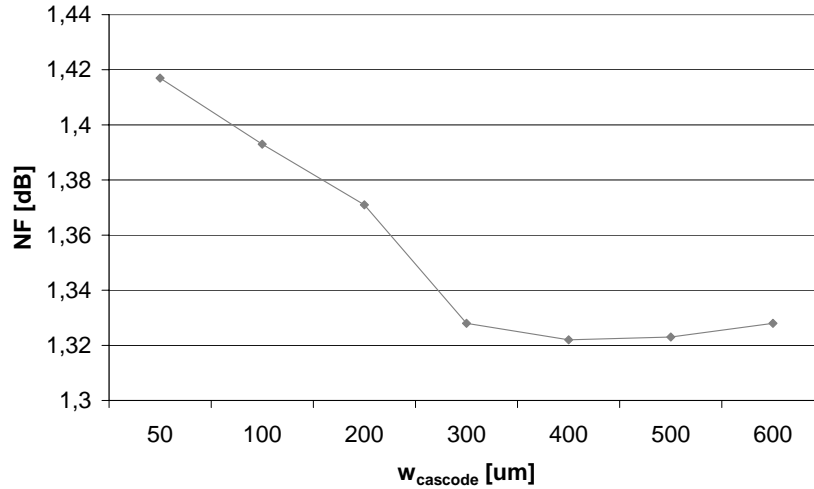


Figura 5.25: Andamento della NF dell'LNA in funzione delle larghezza dei transistori M3 e M4

Le prestazioni ottenute da tale circuito ben rispettano quelle richieste dal dimensionamento effettuato nel capitolo 4, come mostrato nella seguente tabella:

	Specifiche	Simulazioni
Guadagno [dB]	22	22
NF [dB]	3	1.33
IIP3 [dBm]	-5	-3.25

Tabella 5.7: Specifiche dell'LNA e prestazioni ottenute dalle simulazioni

Si ricorda che i 3 dB richiesti alla figura di rumore tengono conto dell'IL del *balun* che precede l'LNA, tipicamente pari a 0.5-1 dB, mentre la *NF* simulata è solo quella dell'LNA: essa è comunque inferiore di circa 1 dB a quella richiesta al solo amplificatore. Infatti, tale seconda implementazione della sezione RF del ricevitore consente una migliore ottimizzazione dei singoli blocchi circuitali.

I principali contributi percentuali del rumore totale dell'LNA sono i seguenti: 73.6% della sorgente, 6% del rumore di *gate* indotto dei transistori M1 e M2, 5.4% del loro rumore termico, 4% del rumore termico delle due R_{BIAS} , 4% dell'induttanza L, 3.6% del rumore termico dei transistori del *cascode* M3 e M4.

Mixer

Il mixer realizzato per questo secondo *front-end* di ricezione, mostrato in figura 5.26, adotta alcune soluzioni circuitali nate in ambito 3G e qui opportunamente riadattate per soddisfare le specifiche dedotte nel capitolo 4.

Nella tabella 5.8 sono illustrati i valori dei componenti utilizzati mentre la tabella 5.9 contiene le dimensioni dei transistori.

C_d	12 pF
C	20 pF
C_L	1.45 fF
R_L	366 Ω
L	12 nH
V_{DD}	1.8 V
V_{BIAS1}	556 mV
V_{BIAS2}	1 V

Tabella 5.8: Componenti e polarizzazione del circuito

	M0 ₁₋₀₂	M1-2	M3-6	M7-8
w [$\mu\mathbf{m}$]	800	70	500	1600
L [$\mu\mathbf{m}$]	1	0.18	0.3	2

Tabella 5.9: Parametri di progetto

Un'importante innovazione riguarda il transconduttore d'ingresso, mostrato in figura 5.27.

Tale transconduttore è in grado di garantire sia un'alta linearità del secondo ordine che una buona *IIP3* [2]. L'idea base di tale struttura è quella di realizzare i vantaggi in termini di *IIP2* della topologia completamente differenziale e quelli

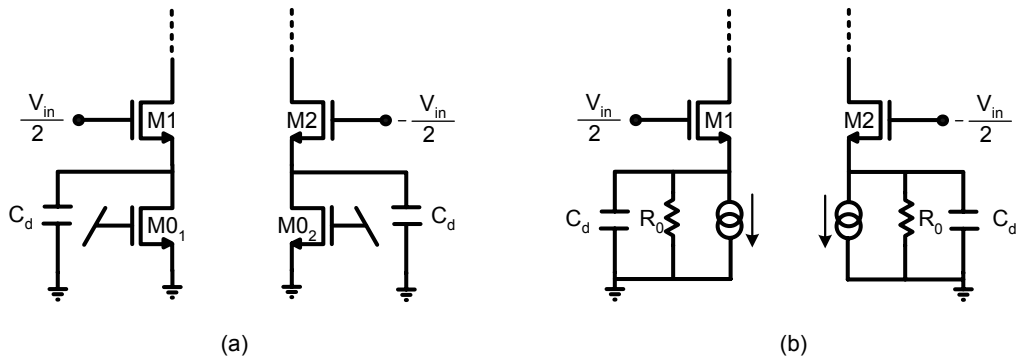


Figura 5.27: Transconduttore (a) e suo circuito equivalente (b)

per la linearità di terzo ordine.

Nella figura 5.28 è mostrato un esempio di funzione di trasferimento tra ingresso e uscita del transconduttore.

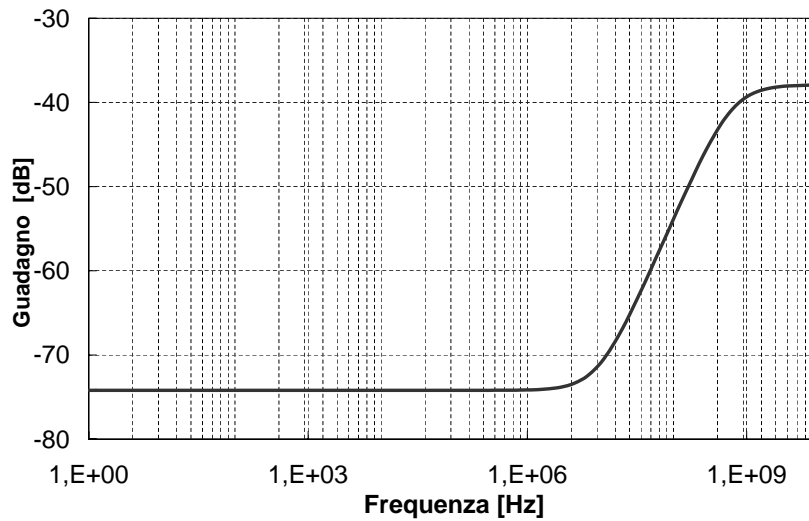


Figura 5.28: Risposta in frequenza del transconduttore degenerato RC

Il valore in alta frequenza è pari al g_m dei transistori d'ingresso M1 ed M2: dato che l' $IIP3_{transc}$ del transconduttore d'ingresso decresce all'aumentare delle dimensioni dei transistori d'ingresso w_{RF} , come mostrato in figura 5.29, tale g_m corrisponde alla dimensione w_{RF} che dà luogo all' $IIP3_{transc}$ voluta. Essendo l' $IIP3$ del mixer totale richiesta pari a 7 dBm, e dato che essa è principalmente deter-

minata dal transconduttore d'ingresso, in quanto la coppia che commuta, come descritto in seguito, risulta altamente lineare, un valore adatto per l' $IIP3_{transc}$ è 8 dBm, che corrisponde ad un $w_{RF} = 70 \mu\text{m}$ e ad un valore di g_m pari a circa 19 mS.

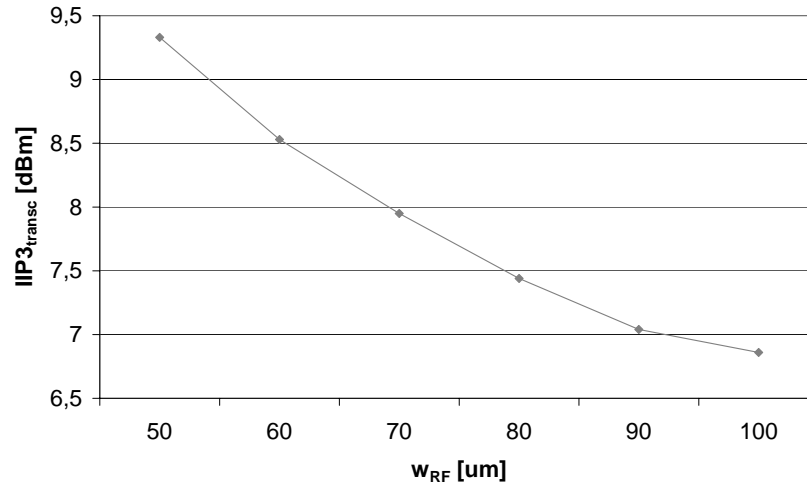


Figura 5.29: Andamento dell' $IIP3$ del transconduttore d'ingresso in funzione delle dimensioni di M1 e M2

E' allora possibile dimensionare la capacità C_d in base alla posizione dello zero di figura 5.28, posto a g_m/C_d : esso deve essere ad una frequenza sufficientemente bassa in modo che il g_m effettivo a 1.8 GHz non risulti attenuato. In questo progetto, tale polo è stato posto a 200 MHz. L'ultimo componente che rimane da dimensionare è la resistenza R_0 che determina la posizione dello zero ($1/R_0C_d$): esso è stato posto a 500 kHz, dato che i prodotti di intermodulazione del secondo ordine occupano circa 200 kHz in banda base.

I transistori delle coppie M3-M6 sono caratterizzati da dimensioni abbastanza elevate, in modo da minimizzare il loro rumore flicker. Inoltre, la corrente per coppia è pari a 1.75 mA, valore inferiore ai 2.5 mA di ciascun ramo del transconduttore d'ingresso: ciò è stato possibile grazie all'introduzione del generatore implementato dal transistore M9, che consente un'ulteriore diminuzione del rumore $1/f$ delle coppie, in modo da soddisfare la specifica sul rumore totale d'ingresso, che deve essere minore o uguale a $6 \text{ nV}/\sqrt{\text{Hz}}$.

Il valore dell'induttanza L è stato scelto in modo che essa risuoni con le capacità parassite presenti a quel nodo alla frequenza dell'LO.

La capacità C ha la fondamentale funzione, come già spiegato, di creare un cammino verso massa per la corrente di intermodulazione di secondo ordine, in modo da disaccoppiare le coppie M3-4, M5-6. Si ricorda che in sua assenza non si riuscirebbero ad ottenere i valori di $IIP2$ richiesti dal dimensionamento.

Il carico è stato realizzato in modo da garantire al mixer una dinamica sufficiente: esso utilizza resistori R_L disposti in modo differenziale e transistori PMOS M7 e M8 che implementano due generatori di corrente per fissare la polarizzazione del circuito. La loro dimensione elevata consente di ridurre il loro contributo di rumore $1/f$. Il loro g_m è sufficientemente basso in modo da minimizzare il contributo di rumore termico. Inoltre è necessario un controllo di modo comune, realizzato con l'amplificatore operazionale di figura 5.26.

La capacità C_L è stata dimensionata in modo da realizzare un polo alla frequenza di 150 kHz, secondo quanto previsto dal dimensionamento del capitolo 4.

La potenza dell'LO è pari a 6 dBm.

Nella tabella 5.10 sono riportate le prestazioni ottenute con i dimensionamenti proposti. Si nota che essi soddisfano le richieste prefissate in modo migliore rispetto a quelle del primo *front-end* di ricezione proposto, soprattutto per quanto riguarda la figura di rumore, quasi 1 dB inferiore a quella richiesta.

		Specifiche	Simulazioni
Guadagno	[dB]	34	34.1
NF	[dB]	5	4.1
IIP3	[dBm]	-15.4	-15.4
IIP2	[dBm]	48	51

Tabella 5.10: Specifiche del front-end e prestazioni ottenute dalle simulazioni

5.3.3 Confronto tra i front-end proposti

Nella tabella 5.11 sono riportate le prestazioni ottenute dai due *front-end* proposti.

Dall'analisi della tabella 5.11 si nota come il secondo *front-end* proposto soddisfa meglio le specifiche ricavate nel capitolo 4, in quanto, tenendo separati i due blocchi circuitali, è possibile agire singolarmente sugli stessi ottimizzandone le prestazioni. Il miglioramento più evidente di questa seconda soluzione circuitale è quello che riguarda le prestazioni di rumore: infatti, la NF è di 1 dB inferiore

		Specifiche	Front-end1	Front-end2
Guadagno	[dB]	34	34.7	34.1
NF	[dB]	5	5	4.1
IIP3	[dBm]	-15.4	-14.6	-15.4
IIP2	[dBm]	48	48.1	51

Tabella 5.11: Specifiche del front-end e prestazioni ottenute dai due front-end proposti

a quella realizzata dal primo *front-end* proposto. Tuttavia tale soluzione occupa un'area maggiore a causa della presenza di ben 4 induttori; inoltre il consumo di corrente è di 14 mA. La prima proposta di *front-end*, invece, ha prestazioni leggermente inferiori ma che comunque ben soddisfano le specifiche richieste; inoltre, essa occupa un'area minore (2 induttori) ed ha un consumo di corrente di soli 4 mA.

In ultima analisi, a seconda delle richieste (area occupata, prestazioni, consumo di corrente), si può utilizzare l'una o l'altra versione proposta. In ogni caso, entrambe rappresentano due valide alternative di un *front-end* a conversione diretta *CMOS* per il GSM, di cui, allora, si è dimostrata la fattibilità. E' utile ribadire un'ultima volta che, senza l'adozione delle tecniche circuitali descritte in questo capitolo e nate in ambito 3G [36] [2], non si sarebbe potuto realizzare tale tipo di ricevitore.

5.4 Conclusioni

In questo capitolo sono stati proposti due possibili *front-end* a conversione diretta in tecnologia *CMOS* per lo standard GSM, di cui si è dimostrata la fattibilità.

Nel primo paragrafo si è descritto l'LNA a degenerazione induttiva, che consente l'adattamento a banda stretta necessario per un ricevitore GSM. Esso è stato caratterizzato dal punto di vista del guadagno, del rumore, di cui si è analizzata una possibile ottimizzazione, e della linearità del terzo ordine.

Nel secondo paragrafo è stato affrontato lo studio del mixer realizzato con la cella di Gilbert, di cui si sono analizzati guadagno, rumore, *IIP3* e *IIP2*.

Nel terzo paragrafo sono stati proposti due possibili *front-end* di ricezione: il primo accorpa in un unico blocco circuitali l'LNA ed il mixer, il secondo li mette in cascata, collegandoli tramite un accoppiamento AC. Entrambe le soluzioni uti-

lizzano opportune tecniche circuitali (induttanza tra i nodi comuni di *source* delle coppie [36], transconduttore RC [2]) che consentono di ottenere le prestazioni desiderate, altrimenti non realizzabili, per i noti problemi di rumore $1/f$ e *IIP2* descritti nei capitoli precedenti. Dal loro confronto critico è emerso che la prima soluzione presenta buone prestazioni, area occupata e consumo di corrente inferiori alla seconda, le cui prestazioni sono, però, migliori, in quanto è possibile agire sui blocchi in questione, ottimizzandoli.

Nasce allora un compromesso tra prestazioni da una parte e area e consumo di potenza dall'altra.

In ogni caso si è dimostrata la fattibilità di realizzazione di un *front-end* di ricezione a conversione diretta funzionante per lo standard GSM.

Conclusioni

In questo lavoro di tesi è stata affrontata un'analisi finalizzata a verificare la possibile realizzazione di un ricevitore GSM

- **completamente integrato in tecnologia CMOS:** l'obiettivo delle aziende presenti sul mercato è quello di abbattere i costi di produzione per avere maggiori margini di profitto; pertanto, esse hanno rivolto la loro attenzione a tale tecnologia, che consente costi inferiori rispetto ad altre, quali la *BiCMOS*. La completa integrazione del ricevitore consente, inoltre, di ridurre ulteriormente i costi di produzione, oltre che diminuire le dimensioni del prodotto finito
- **a conversione diretta:** tale architettura risulta particolarmente interessante sia per ricevitori funzionanti unicamente per il GSM, finora realizzati tipicamente con altre architetture, che per applicazioni *multistandard*, in quanto è la topologia di ricezione tipicamente utilizzata per altri standard quali l'UMTS o le Wireless-LAN: implementare anche il GSM in tale architettura consentirebbe la realizzazione di un terminale più semplice ed efficiente.

Dall'analisi effettuata nel capitolo 4, che ha confrontato la conversione diretta con altre architetture di ricezione completamente integrate (Low-IF e Low-IF con filtro complesso) è emerso che l'architettura migliore per un ricevitore GSM è la conversione diretta, in quanto consente una netta semplificazione dei blocchi di banda base, con conseguente riduzione di consumo e di potenza e di area occupata. Essa si propone, quindi, come la scelta ottimale per lo standard GSM, a patto di realizzare, con un'accurata progettazione, i blocchi circuitali che hanno le specifiche più critiche, come il mixer, che, nella conversione diretta, determina, insieme all'LNA, le prestazioni del ricevitore in termini di *range* dinamico. In questo lavoro di tesi è stato evidenziato come la fattibilità del ricevitore a conversione

diretta sia legata alla possibilità di adottare opportune soluzioni circuitali per il mixer [2], al quale sono richieste prestazioni di rumore e linearità particolarmente critiche.

Nel capitolo 5 sono state, quindi, proposte due possibili implementazioni del *front-end* di ricezione, che adottano opportuni accorgimenti circuitali nati in ambito 3G: entrambe ben soddisfano le richieste dedotte dal dimensionamento effettuato nel capitolo precedente, come mostrato nella seguente tabella:

	Specifiche	Front-end1	Front-end2
Guadagno [dB]	34	34.7	34.1
NF [dB]	5	5	4.1
IIP3 [dBm]	-15.4	-14.6	-15.4
IIP2 [dBm]	48	48.1	51

Tabella 5.12: Specifiche del front-end e prestazioni ottenute dai due front-end proposti

Il primo *front-end* di ricezione è realizzato accorpando in un unico blocco circuitale l'LNA ed il mixer: infatti, il trasconduttore d'ingresso di quest'ultimo è l'LNA, il cui carico è, quindi, il mixer stesso. Il secondo *front-end*, invece, mantiene i due blocchi circuitali in questione separati, ponendoli in cascata tramite un accoppiamento AC.

La prima soluzione presenta un'occupazione di area minore, grazie all'utilizzo di numero inferiore di induttori (2), ed un consumo di corrente pari a soli 4 mA; la seconda, come mostrato nella tabella 5.12, presenta prestazioni migliori in quanto consente un'ottimizzazione dei singoli blocchi a fronte di una maggiore area occupata (4 induttori) e di un consumo di corrente pari a 14 mA.

A seconda delle esigenze (area occupata, consumo di corrente o prestazioni) si può realizzare una o l'altra versione della sezione RF del ricevitore. In ogni caso si è dimostrato che è possibile realizzare un ricevitore GSM in tecnologia *CMOS* a conversione diretta, e si è anche verificato che essa è la migliore implementazione architetturale per tale tipo di ricevitore.

Questo lavoro ha posto le basi per la realizzazione di tale ricevitore, che sarà uno dei primissimi esempi sul mercato implementato in tale architettura.

Elenco delle figure

2.1	Occupazione in frequenza dell'E-GSM	24
2.2	GSM: Sistema TDMA-FDMA	25
2.3	Sensibilità e rumore all'ingresso del ricevitore	28
2.4	Test di intermodulazione	29
2.5	Segnale desiderato e rumore all'ingresso del ricevitore nel test di intermodulazione	30
2.6	Test di soppressione di un disturbo AM	31
2.7	Profilo dei segnali nel test di blocking per l'E-GSM	33
2.8	Test di canale adiacente ed alternato per l'E-GSM	36
2.9	Schema di base di un ricevitore	37
2.10	Architettura del ricevitore supereterodina	38
2.11	Architettura del ricevitore per la conversione diretta	40
2.12	Architettura del ricevitore per la Low-IF	41
2.13	Architettura del ricevitore per la Low-IF con filtro complesso	42
2.14	Accoppiamento dell'LO in alcuni punti prima del mixer	45
2.15	Possibile blocco di correzione dei DC-offset per il VGA	45
2.16	Possibili schemi di LO per prevenire i DC-offset	46
2.17	Accoppiamento di interferenti a RF con l'LO	47
3.1	Moltiplicazione di un segnale reale con un oscillatore locale complesso nel dominio delle frequenze	55
3.2	Moltiplicazione di un segnale reale con un oscillatore locale reale nel dominio delle frequenze	55
3.3	Moltiplicazione di un segnale reale con un segnale complesso, cioè una frequenza positiva $f_{LO} = \omega_{LO}/2\pi$	56
3.4	Moltiplicazione di un segnale reale con un oscillatore locale complesso non ideale nel dominio delle frequenze	57

3.5	Trasformazione di un LPF reale in un BPF reale	61
3.6	Trasformazione di un LPF reale in un BPF complesso	61
3.7	Attenuazione dell'immagine operata dal filtro complesso	62
3.8	Schema a blocchi di un filtro complesso del secondo ordine	63
3.9	Realizzazione del filtro complesso tramite amplificatori operazionali	64
3.10	Possibili traslazioni lineari in frequenza di un filtro Butterworth LPF nel <i>piano-s</i>	65
3.11	Reiezione d'immagine per l'architettura Low-IF	67
3.12	Spettro in banda base per l'architettura Low-IF	68
3.13	Analisi in frequenza dell'architettura Low-IF con filtro complesso ideale e LO complesso ideale	69
3.14	Analisi in frequenza dell'architettura Low-IF con filtro complesso, con i due cammini di ricezione in non perfetto <i>matching</i>	70
3.15	Analisi in frequenza dell'architettura Low-IF con filtro complesso nel caso di filtraggio non ideale dell'immagine	70
3.16	Attenuazione di un filtro Butterworth complesso sull'immagine . .	71
3.17	Reiezione d'immagine per l'architettura Low-IF con filtro complesso	72
3.18	Spettro in banda base per l'architettura Low-IF con filtro complesso	72
3.19	Spettro in banda base per l'architettura a conversione diretta . . .	74
4.1	Analisi delle grandezze caratteristiche del convertitore analogico- digitale all'ingresso della catena di ricezione	86
4.2	Andamento qualitativo del guadagno della catena in funzione della potenza dei segnali presenti al suo ingresso	89
4.3	Effetto del filtraggio ipotizzato nell'architettura Low-IF	91
4.4	Contributi percentuali sulla distribuzione di NF per l'architettura Low-IF	93
4.5	Distribuzione percentuale dei contributi all'IIP3 per l'architettura Low-IF	95
4.6	Distribuzione percentuale dei contributi all'IIP2 per l'architettura Low-IF	96
4.7	Propagazione del massimo segnale nell'architettura Low-IF	98
4.8	Propagazione dei principali segnali nell'architettura Low-IF	99
4.9	Propagazione della sensitività e del rumore nell'architettura Low-IF	100
4.10	Attenuazione del filtro Butterworth complesso sull'immagine . . .	102

4.11	Effetto, nella rappresentazione bilatera (a) e monolatera (b) dello spettro, del filtraggio ipotizzato nell'architettura Low-IF con filtro complesso	103
4.12	Contributi percentuali sulla NF per l'architettura Low-IF con filtro complesso	105
4.13	Distribuzione percentuale dei contributi all'IIP3 per l'architettura Low-IF con filtro complesso	106
4.14	Distribuzione percentuale dei contributi all'IIP2 per l'architettura Low-IF con filtro complesso	107
4.15	Propagazione dei principali segnali nell'architettura Low-IF con filtro complesso	109
4.16	Propagazione della sensitività e del rumore nell'architettura Low-IF con filtro complesso	110
4.17	Distanza tra il segnale desiderato ed il primo interferente del test di blocking nell'architettura Low-IF (a) e nella conversione diretta (b)	113
4.18	Effetto del filtraggio ipotizzato nell'architettura a conversione diretta	114
4.19	Contributi percentuali sulla NF per l'architettura a conversione diretta	115
4.20	Distribuzione percentuale dei contributi all'IIP3 per l'architettura a conversione diretta	116
4.21	Distribuzione percentuale dei contributi all'IIP2 per l'architettura a conversione diretta	117
4.22	Effetto del filtraggio ipotizzato nell'architettura a conversione diretta con $N=3$	119
4.23	Propagazione dei principali segnali nell'architettura a conversione diretta	120
4.24	Propagazione della sensitività e del rumore nell'architettura a conversione diretta	120
5.1	Struttura globale dell'LNA	126
5.2	Andamento della NF al variare di w e della corrente di polarizzazione	129
5.3	Struttura dell'LNA differenziale	132
5.4	Cella di Gilbert	133
5.5	Rumore bianco della coppia nel caso di commutazione istantanea (a) e non (b)	136
5.6	Meccanismo indiretto del rumore flicker della coppia	137

5.7	Andamento del rumore flicker della coppia in funzione delle dimensioni del transistor d'ingresso	138
5.8	Andamento del rumore flicker della coppia in funzione delle dimensioni del transistor e della frequenza dell'LO	139
5.9	Andamento del rumore flicker della coppia in funzione dell'ampiezza dell'LO	140
5.10	Cella di Gilbert con induttanza tra i nodi di <i>source</i> delle coppie che commutano	141
5.11	Andamento del rumore totale in ingresso al mixer in funzione della potenza dell'LO	142
5.12	Andamento del rumore totale in ingresso al mixer in funzione della corrente di polarizzazione	142
5.13	Topologie di transistor: completamente differenziale (a), degenerata LC (b), pseudo-differenziale (c)	143
5.14	Linearità del terzo ordine per la diverse topologie di transistor	143
5.15	IIP3 del mixer in funzione della corrente di polarizzazione	144
5.16	IIP3 del mixer in funzione della potenza di oscillatore locale	146
5.17	IIP3 del mixer in funzione della potenza di oscillatore locale con e senza induttanza	146
5.18	Meccanismo diretto: coppia single-balanced (a) e funzione di trasferimento corrispondente (b)	149
5.19	Meccanismo indiretto per le armoniche dispari	150
5.20	Meccanismo indiretto per le armoniche pari	151
5.21	IIP2 intrinseca della coppia che commuta	152
5.22	Possibile realizzazione circuitale di un front-end di ricezione	155
5.23	Schematizzazione della seconda possibile realizzazione del front-end di ricezione	158
5.24	Realizzazione circuitale dell'LNA a degenerazione induttiva	159
5.25	Andamento della NF dell'LNA in funzione delle larghezza dei transistori M3 e M4	160
5.26	Realizzazione circuitale del mixer	162
5.27	Transistor (a) e suo circuito equivalente (b)	163
5.28	Risposta in frequenza del transistor degenerato RC	163
5.29	Andamento dell'IIP3 del transistor d'ingresso in funzione delle dimensioni di M1 e M2	164

Bibliografia

- [1] www.gsmworld.com.
- [2] D. Sanzogni. Progetto di un mixer CMOS a bassa distorsione di secondo ordine per applicazione UMTS. *Tesi di Laurea*, 2002/2003.
- [3] O. Bertazioli and L. Favalli. GSM-GPRS. *Hoepli*, 2002.
- [4] European Telecommunications Standard Institute. Digital cellular telecommunications system (phase 2+) radio transmission and reception 3GPP TS 45.005 version 5.9.0 release 5. *ETSI*, august 2003.
- [5] J. Rudell, J. Weldon, J. Ou, L. Lin, and P. Gray. An integrated GSM-DECT receiver: Design specifications. *UCB Electronics Research Laboratory Memorandum*, april 1998.
- [6] Q. Huang, P. Orsatti, and F. Piazza. GSM transceiver front-end circuits in $0.25\mu\text{m}$ CMOS. *IEEE Journal of Solid State Circuits*, 34(3):292–303, march 1999.
- [7] B. Razavi. RF Microelectronics. *Prentice Hall PTR*, 1998.
- [8] Sanyo. TSM924FW-K.
- [9] J. Craninckx, M. Steyaert, and H. Miyakawa. A Fully Integrated Spiral-LC CMOS VCO Set whit Prescaler for GSM and DCS-1800 Systems. *IEEE Custom Integrated Circuits Conference*, 37:403–406, 1997.
- [10] E. Ferrari. Analisi di architetture di ricezione per gli standard GSM, UMTS e Bluetooth in tecnologia CMOS. *Tesi di Laurea*, 2002/2003.
- [11] N. Godambe. Low-IF receiver for GSM handset applications. *Motorola-CE Wireless Integration Technology Center*.

- [12] S. Dow, B. Ballweber, L. Chou, D. Eickbusch, J. Irwin, G. Kurtzman, P. Manapragada, D. Moeller, J. Paramesh, G. Black, R. Wollscheid, and K. Johnson. A Dual-Band Direct-Conversion/VLIF Transceiver for 850GSM/GSM/DCS/PCS. *ISSCC*, february 2002.
- [13] R. Magoon, A. Molnar, J. Zachan, G. Hatcher, and W. Rhee. A Single-Chip Quad-Band (850/900/1800/1900 MHz) Direct Conversion GSM/GPRS RF Transceiver with Integrated VCOs and Fractional-N Synthesizer. *IEEE Journal of Solid State Circuits*, 37(12):1710–1720, december 2002.
- [14] E. Duvivier, G. Puccio, S. Cipriani, L. Carpineto, P. Cusinato, B. Bisanti, F. Galant, F. Chalet, F. Coppola, S. Cercelaru, N. Vallespin, J. Jiguet, and G. Sirna. A Fully Integrated Zero-IF Transceiver for GSM/GPRS Quad-Band Application. *IEEE Journal of Solid State Circuits*, 38(12):2249–2257, december 2003.
- [15] S. Tadjpour, E. Cijvat, E. Hegazi, and A. Abidi. A 900 MHz Dual-Conversion Low-IF GSM Receiver in $0.35\mu\text{m}$ CMOS. *IEEE Journal of Solid State Circuits*, 36(12):1992–2002, december 2001.
- [16] M. Steyaert, J. Janssens, B. De Muer, M. Borremans, and N. Itoh. A 2-V CMOS Cellular Transceiver front-end. *IEEE Journal of Solid State Circuits*, 35(12):1895–1907, december 2000.
- [17] E. Götz et al. A Quad-Band Low Power Single Chip Direct Conversion CMOS Transceiver with $\Sigma\Delta$ -Modulation Loop for GSM. *IEEE*, pages 217–220, 2003.
- [18] A. Loke and F. Ali. Direct Conversion Radio for Digital Mobile Phones- Design Issues, Status and Trends. *IEEE Journal of Solid State Circuits*, 50(11):2422–2435, november 2002.
- [19] F. Gatta, D. Manstretta, P. Rossi, and F. Svelto. A Fully Integrated $0.18\text{-}\mu\text{m}$ CMOS Direct Conversion Receiver Front-End with On-Chip LO for UMTS. *IEEE Journal of Solid State Circuits*, 39(1):15–23, january 2004.
- [20] K. Kivekas, A. Parssinen, J. Ryynanen, J. Jussila, and K. Halonen. Calibration Techniques of Active BiCMOS Mixer. *IEEE Journal of Solid State Circuits*, 37(6):766–769, june 2002.

- [21] B. Minnis, P. Moore, A. Payne, A. Caswell, and M. Barnard. A Low-IF Polyphase Receiver for GSM using Log-Domain Signal Processing. *IEEE Radio Frequency Integrated Circuits Symposium*, pages 83–86, 2000.
- [22] J. Croid and M. Steyaert. CMOS Wireless Transceiver Design.
- [23] R. E. Collin. Foundation for Microwave Engineering, Second Edition. *Mc Graw Hill*, 1992.
- [24] E. Colin, L. Navinier, P. Loumeau, and J. Naviner. Trade-off between Anti-aliasing Filter and Analog-to-Digital Converters Specifications in Homodyne Radio Frequency Receivers. *IEEE Journal of Solid State Circuits*, pages 2351–2354, 2001.
- [25] M. Brandolini and P. Rossi. Noise Figure for Direct Conversion and Low-IF Architectures: Theory and Measurement. *Microelectronics LAB-University of Pavia*.
- [26] F. De Bernardinis and A. Sangiovanni Vincentelli. A Methodology for System-Level Analog Design Space Exploration. *IEEE Computer Society*, 2004.
- [27] P. Kenington, M. Cope, R. Bennett, and J. Bishop. A GSM-EDGE High Power Amplifier utilising Digital Linearisation. *IEEE Journal of Solid State Circuits*, pages 1517–1520, 2001.
- [28] H. Elwan, A. Ravindran, and M. Ismail. CMOS low power baseband chain for a GSM-DECT multistandard receiver. *IEE Proc.-Circuits Devices System*, 149(5/6):337–347, October/December 2002.
- [29] SiRiFIC. SRWF2 for GSM/GPRS and W-CDMA Multi-Standard CMOS Transceiver. *SiRiFIC Wireless Corporation*, 2002.
- [30] S. Tadjpour, F. Behbahani, and A. Abidi. A CMOS Variable Gain Amplifier for a Wideband Wireless Receiver. *Symposium on VLSI Circuits Digest of Technical Papers*, pages 86–89, 1998.
- [31] S. Lindfords, T. Hollman, T. Salo, and K. Halonen. A 2.7 V CMOS-SGSM/WDCMA Continuous-Time Filter with Automatic Tuning. *IEEE Custom Integrated Circuits Conference*, pages 9–12, 2001.
- [32] K. Nah and B. Park. A 50-MHz 98-dB Dynamic-Range dB-Linear Programmable-Gain Amplifier with 2 dB Gain-Steps for 3-V Power Supply. *Symposium on VLSI Circuits Digest of Technical Papers*, pages 73–76, 2001.

- [33] F. Gatta, E. Sacchi, F. Svelto, P. Vilmercati, and R. Castello. A 2-dB Noise Figure 900-MHz Differential CMOS LNA. *IEEE Journal of Solid State Circuits*, 36(10):1444–1452, october 2001.
- [34] Philips. UAA3537 GSM/EDGE transceiver. *Philips Semiconductors*, November 2002.
- [35] Analog Devices. AD6523/AD6524 GSM Direct Conversion Radio Chip Set.
- [36] H. Sjoland, A. Sanjaani, and A. Abidi. A Merged CMOS LNA and Mixer for a WCDMA Receiver. *IEEE Journal of Solid State Circuits*, 38(6):1045–1050, june 2003.
- [37] D. Manstretta, M. Brandolini, and F. Svelto. Second-Order Intermodulation Mechanisms in CMOS Downconverters. *IEEE Journal of Solid State Circuits*, 38(3):394–406, march 2003.
- [38] D. Shaeffer and T. Lee. A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier. *IEEE Journal of Solid State Circuits*, 32(5):745–759, may 1997.
- [39] G. Gramegna, M. Paparo, P. Erratico, and P. De Vita. A Sub-1-dB NF±2.3 kV ESD-Protected 900-MHz CMOS LNA. *IEEE Journal of Solid State Circuits*, 36(7):1010–1017, july 2001.
- [40] P. Vilmercati. Progetto di un amplificatore a bassa potenza e a basso rumore realizzato in tecnologia CMOS RF 0.18 μ m per applicazioni di telefonia mobile. *Tesi di Laurea*, 1999/2000.
- [41] S. Erba. Confronto tra amplificatori a basso rumore in tecnologia CMOS e bipolare in termini di linearità e rumore. *Tesi di Laurea*, 1999/2000.
- [42] M. Terrovitis and R. Meyer. Intermodulation Distortion in Current-Commutating CMOS Mixer. *IEEE Journal of Solid State Circuits*, 35(10):1461–1473, october 2000.
- [43] A. Demir. Analysis and Simulation of Noise in Nonlinear Electronic Circuit and Systems. *Ph.D. Dissertation, University of California, Berkeley*, 1997.
- [44] E. De Bernardi di Valserra. Architetture e circuiti per ricevitori integrati per lo standard UMTS in tecnologia CMOS. *Tesi di Laurea*, 1999/2000.
- [45] H. Darabi and A. Abidi. Noise in RF-CMOS Mixer: A Simple Physical Model. *IEEE Journal of Solid State Circuits*, 35(1):15–25, january 2000.

-
- [46] Murata Inductors. LQW18AN30NG00.
- [47] J. Goo, H. Ahn, D. Ladwig, Z. Yu, T. Lee, and R. Dutton. A Noise Optimization Technique for Integrated Low-Noise Amplifiers. *IEEE Journal of Solid State Circuits*, 37(8):994–1002, august 2002.

